

⑬日本国特許庁

⑭特許出願公開

公開特許公報

昭53-84632

①Int. Cl.<sup>3</sup>  
G 06 F 13.00  
G 06 F 3 00  
G 11 C 9 06

識別記号

②日本分類  
97(7) C 0  
97(7) C 03  
97(7) C 02  
97(7) D 0

庁内整理番号  
6453-56  
6453-56  
6453-56  
6711-56

③公開 昭和53年(1978)7月26日

発明の数 1  
審査請求 未請求

(全41頁)

③入力カッシー・システム

④特 願 昭52-154618

⑤出 願 昭52(1977)12月23日

優先権主張 ⑥1976年12月30日⑦アメリカ国  
(US)⑧755871

⑨発 明 者 ジェイム・コール  
アメリカ合衆国アリゾナ州8502  
6グレンデイル・ウエスト・ウ  
オルタン4723

同 コーレンス・ダブリュー・シエ

ルバーク

アメリカ合衆国アリゾナ州8502  
1フエニックス・ウエスト・キ  
ヤミノ・エイスキア4117

⑩出 願 人 ハネイウエル・インフオメーシ  
ョン・システム・インコーポ  
レーテッド

アメリカ合衆国マサチューセツ  
ツ州02154ウオルサム・スミス  
・ストリート200

⑪代 理 人 弁理士 湯浅泰三 外1名

要 約

1. [ 発明の名称 ]

入力カッシー・システム

2. [ 発明の要約 ]

(1) 複数の入出力装置を含む入出力操作の制  
御のための入力システムにおいて、

複数のポートを有するシステム・インターフ  
ース装置と、

前記複数のポートの各々に接続された複数の  
モジュールとを設け、前記モジュールは少くとも  
1個のメモリー・モジュールと複数の指令モジ  
ュールを含み、前記指令モジュールの各々は、

メモリー指令を生成する指令生成装置を有し、  
前記メモリー指令の第1のタイプの各々は前記メ  
モリー・モジュールから前記情報をアクセスする  
ための第1と第2のカナダリーを表示するよう形  
成された少くとも1つの予め定められたビット  
を有し、

前記1個のメモリー・モジュールは、

前記ポートの1つに接続されたカッシー

・ストアを有し、前記カッシー・ストアは前記メ  
モリー指令に反応して前記メモリー・モジュール  
から前記取出された情報のブロックを記憶するた  
めのものであり、

前記インターフェース・ポートの前記1個に作  
用的に接続され、情報信号を記憶するための補助  
記憶装置と、

前記カッシー・ストアと前記補助記憶装置に接  
続され、前記カッシー・ストアと補助記憶装置の  
動作を制御するための制御回路装置とを有し、前  
記制御回路等は、

前記複数の指令モジュールから前記メモリー  
指令を受取るために前記1個のポートに接続され  
た入力レジスタ装置と、

前記指令を記憶するために前記入力レジスタ装  
置に接続された指令記憶回路を有し、前記記憶回  
路は、前記第1のタイプのメモリー指令の各々に  
応答して、前記カッシー・ストアに記憶される前  
記情報の存在しない場合に前記各々の第1のタイ  
プのメモリー指令により指定される情報からの説

たしのため前記補助記憶装置を専用回路とするための制御信号を生成し、かつ前記の予め定められたビットが前記第1のカテゴリを表示するよう符号化される際のみ、前記カッシュ・ストアに前記補助記憶装置から読出される前記情報をその内容に書込させる制御信号を生成する事を特徴とする入出力システム。

2. 前記第1のタイプのメモリー指令の各々が指令成分、カテゴリ成分およびアドレス成分を含むよう符号化され、前記指令成分は読出し操作を指定するよう符号化され、前記アドレス成分は前記情報のアドレスを指定するよう符号化され、前記カテゴリ成分は前記カッシュ・ストアが前記読出し操作の間バイパスされるべき時点を表示するよう符号化され、前記の予め定められたビットを含む前記請求の範囲1項記載のシステム。

3. 前記の予め定められたビットは2進数として符号化され、前記制御回路装置は、前記カッシュ・ストアに前記情報をその内容に書込させるための前記制御信号を生成するよう条件付けられる

前記請求の範囲2項記載のシステム。

4. 前記の予め定められたビットが2進数1として符号化され、前記制御回路装置は、前記カッシュ・ストアをしてその内容に前記情報を書込させてこれにより前記カッシュ・ストアをバイパスするための前記制御信号の生成を禁止せられる前記請求の範囲2項記載のシステム。

5. 前記指令モジュールは少くとも2つの入出力回路を含み、前記記憶装置の指令生成装置は、

前記メモリー指令を生成するための必要な制御信号を生成するためのマイクロ命令ワードのシーケンスを記憶するマイクロプログラム化された制御装置と、

前記メモリー指令の各々の前記アドレス成分として含まれるアドレス情報を生成するためのアドレス制御装置とを含む前記請求の範囲2項記載のシステム。

6. 前記補助記憶装置は、複数のテーブル、即ち前記補助記憶装置における情報を照会するた

めに使用されるデータ制御ワードのリストを記憶するための第1のテーブルと、前記データ制御ワードを照会するためのリスト・ポインター・ワードを記憶するための第2のテーブルとを記憶するための複数の記憶場所を含み、前記各データ制御ワードと前記リスト・ポインター・ワードの予め定められたビット位置は前記カッシュ・ストアがバイパスされるべき時点を指示するよう符号化され、かつ前記記憶装置の指令モジュールは更に前記記憶装置の入出力装置に結合される複数のアドレス・ポートを有するマルチプレクサモジュールを含み、前記指令生成装置は、

前記入出力装置の処理に基くアドレスおよび制御信号を記憶するよう構成された複数のレジスタと、

前記入出力装置から指令を受取るための構成された前記記憶装置のレジスタの第1のもの、

前記記憶装置のレジスタに命令されて、前記指令に回答して前記マルチプレクサ・モジュールの操作を制御するための制御装置と、

前記記憶装置のレジスタに結合された出力レジスタ群とを含み、前記制御装置は、前記記憶装置からの第1の指令に回答して、前記第2のテーブルから読出される前記リスト・ポインター・ワードの1つに特定する信号を前記記憶装置のレジスタの第2のものに記憶するための信号を生成するよう作用し、前記制御装置は、前記記憶装置からの第2の指令に回答して、前記第1のタイプのメモリー指令の第1のもの信号を生成し、前記信号は、前記データ制御ワードの第1のものを照会する際使用するべきリスト・ポインター・ワードの位置を前記第1のテーブルから前記出力レジスタにコードするように前記記憶装置のレジスタの前記第2のものを条件付ける前記請求の範囲5項記載のシステム。

7. 前記リスト・ポインター・ワードの内容が前記第1のタイプのメモリー指令の前記第1のものの前記カテゴリ成分とアドレス成分を含み、前記カテゴリ成分の予め定められたビットは、前記補助記憶装置からカッシュ・ストアに読出さ

れた前記データ・アドレス・ワードに対応する情報を前記メモリー・モジュールの前記制御回路装置が書き込む事を禁止するその2進数1として符号化される再読取の範囲を規定するシステム。

8. 前記データ・アドレス・ワードの各々がデータ・メモリー・ワードおよびデータ・アドレス・ワードを含み、前記第2の指令に等して生成された前記情報は、第1のデータ・アドレス・ワードの前記データ・メモリー・ワードおよびデータ・アドレス・ワードを記憶するための、それぞれ前記記憶回路システムの第3と第4のものを有し、前記記憶回路は前記第1のタイプのメモリー・指令の第2のものの情報を生成するよう作用し、前記情報は、前記入出力操作の開始前読取記憶装置に記憶された情報を照合するために前記データ・アドレス内容を用いて前記出力レジスタをロードするよう前記第4のレジスタを動作させる再読取の範囲を規定するシステム。

9. 前記データ・アドレス・ワードの内容は前記第1のタイプのメモリー・指令の前記第2のものの

情報。発明者：J・カル(calle), V・M・グリスウォルド(griswold)。

3. 1975年3月26日出発米国特許出願第562,353号「バスファインダ・マイクロプログラム制御システム」。発明者：G・W・パターソン, M・G・ポータ。

4. 1976年11月18日出発米国特許出願第742,914号「メモリー・アクセス・システム」。発明者：E・F・ウェラー三世, M・G・ポータ。

本特許は、データ処理システムに関し、特にキャッシュ・メモリー・ストアを含むシステムに関する。

公知技術にあるものにおいては、中央処理装置(CPU)は、動作モードを指示するためのレジスタを含んでいる。通常、このレジスタはキャッシュ・ストアをONとOFFの状態に切換えてストアをバイパスするよう作動可能な特殊な命令によりロードされる。

このようなシステムにおいては、従つて、最初

の特許第53-84632(3)の前記キャッシュ・命令とアドレス命令を含み、前記キャッシュ・命令の前記予定のうちの1つは、前記メモリー・モジュールの前記制御回路装置をして前記キャッシュ・ストア内に前記情報と対応する情報を格納させるための2進数等として符号化されて、前記入出力制御装置による前記情報に対する既知なアクセスを有する再読取の範囲を規定するシステム。

3. (発明の単独な説明)

#### 関連出典

1. 1976年11月15日出発米国特許出願第741,637号「ロックされたプロセッサを用いる入出力処理システム」。発明者：J・W・ワズ(woods), M・G・ポータ(porter), D・V・ミルズ(mills), E・F・ウェラー(weller)三世, G・W・パターソン(patterson), E・M・モナハン(monahan)。(本文に記載の明受人に帰属、以下同)

2. 1975年6月30日出発米国特許出願第591,563号「マルチプレクサ制御回路シ

ステムのモードにCPUを置き、この状態がキャッシュ・メモリー・ストアのバイパスを許可するようにする必要がある。付加的オーバーヘッド処理を含む点が明らかに不利な点である。更に、この構成では、キャッシュ・ストアをアクセスする1つ以上の処理装置を持ち得るシステム(例えば、多量処理システム)に対しては不適当である。

別の公知技術のシステムは、セグメント・ディスクリプタ・ワードの使用により、セグメントが取扱われる(アクセス属性)方法を可能にするセグメント・メモリー・システムを採用している。このセグメント・ディスクリプタ・ワードに含まれているのは、アドレス番号をしてキャッシュ・アドレス比較がうまく行われぬようにさせるビットである。これは、あるセグメントをしてワードをキャッシュ・ストアに記憶させ、かつキャッシュ・ストアに他のセグメントによりバイパスされるようにする。

このような技術においては、入出力操作と関連するセグメントがCPUのキャッシュ・ストアに入

る事を阻止される(カッシーエなしの動作)事が過  
写必要で、この時の吐出されない主メモリに於  
けるワードの更新を生じ得る。

この構成は多重記憶システムに対してより好適  
であるが、毎にセグメントが共有されるべきカッ  
シーエ・ストアに対してどのセグメントがアクセス  
を許可するかを指定する構成とされるオーバーヘ  
ッドの箇所を恒然として有するものである。又、  
この構成は、主メモリ・アクセスに別の制御をも  
たらし、メモリ管理を明確にする。

従つて、本発明の主旨は、カッシーエ・ストア  
のバイパスのための必要情報の提供にある。

本発明の更に別の目的は、どの区域も多数の指  
令モジュールのいずれによつても選択的にアクセ  
スできるカッシーエ・ストアの提供にある。

前述の目的およびこれ以外の目的は本発明の望  
ましい実施形態において達成されるが、その構成  
は多数の指令モジュールおよび1つの局外メモリ  
・モジュールを含む入出力システムからなる。  
この局外メモリ・モジュールは、補助記憶装置

較に、カッシーエ・ストアは、局外メモリ・指  
令の予め定められたビットを予め定められた状態にセ  
ットさせるよう作用するプロセッサにより使用され  
る。これは、プロセッサにより補助記憶装置から要  
求された情報を含む情報ブロックをカッシーエ・ス  
トアに記憶するように前記制御装置を条件付ける。  
入出力データ転送の間、マルチプレクサのモジュ  
ールは、予め定められた状態に予め定められたビ  
ットをセットさせる能力のないメモリ・指令を与え  
る。従つて、この制御装置は、カッシーエ・ストア  
に補助記憶装置から要求される入出力情報を記憶  
させる事なくこの情報を転送する。この状態は、  
マルチプレクサ・モジュールが入出力情報でプロ  
セッサによりカッシーエ・ストアに既に記憶された情  
報を書き込みしないようにさせる。然し、要求  
された入出力情報が既にカッシーエ・ストアに存在  
する時には、この制御装置は更に迅速なメモリ・  
タイトルを主としてカッシーエ・ストアから、要求さ  
れた入出力情報を転送する。このように、プロセ  
ッサは、同じ局外メモリ・モジュールに対するア

特開 53-84632(4)

およびカッシーエ・ストアを含んでいる。このカッ  
シーエ・ストアは補助記憶装置から前に取出された  
情報ブロックに対し迅速なアクセスを行う。望ま  
しい実施形態の本システムは、更に、各々が異な  
る1つのモジュールに帰属された複数のポート  
を含むシステム・インターフェース装置を含んで  
いる。

局外メモリ・モジュールに与えられる各メモ  
リ・読み出し指令は、補助記憶装置から要求された  
情報が又、カッシーエ・ストアに書き込まれる時点  
を表示するよう符号化される予め定められたビット  
を含んでいる。局外メモリ・モジュールは、更  
に、予め定められた指令ビットの状態に従つて、  
補助記憶装置から要求されている情報をしてカッ  
シーエ・ストアを選択的にバイパスさせる各読み出  
しメモリ・指令にตอบสนองして作用する制御装置を含ん  
でいる。

望ましい実施形態においては、この指令モジュ  
ールは少なくとも1個の入出力プロセッサおよび1個  
のマルチプレクサ・モジュールを含んでいる。一

クセスが他の指令モジュール(例えば、マルチプ  
レクサ・モジュール)と共有される場合でさえ、  
カッシーエ・ストアの適正な制御を維持するのであ  
る。その結果、入出力動作の更に迅速な制御が得  
られる。

然し、プロセッサが、補助記憶装置から要求され  
る情報がカッシーエ・ストアに記憶される事を欲し  
ない場合もある。又同様に、システムが、マルチ  
プレクサ・モジュールにより補助記憶装置から要  
求されている入出力情報をカッシーエ・ストアに書  
込まれる事を欲する場合もある。

このプロセッサにおいては、プロセッサがその作業  
システムに記憶されるべきアドレス・リンクアド  
レスを導くための読み出し指令を発生する場合に  
は前述の状態が望ましい。補助記憶装置から要求  
される情報が再びメモリから指令される事は意  
図されないため、プロセッサは、予め定められたビ  
ットが予め定められた状態以外の状態にあるメモ  
リ・指令を与えるよう作用する。

マルチプレクサ・モジュールに関しては、シス

システムは、高度データ処理機能の高度マルチプレクサ・モジュールが融合する補助記憶装置におけるテーブルを構成している。望ましい記憶装置においては、このテーブルは、データ記憶ワード (DCW) テーブルと命令データ記憶ワード (IDCW) テーブルを含んでいる。IDCWテーブルは、DCW テーブルを指示するリスト・ポインタ・ワード (LPW) を含む。DCW テーブルは、主記憶メモリにおける補助記憶装置に対するポインタである DCW のリストを記憶する。LPWおよびDCWの数は、高度マルチプレクサ・モジュールにより記憶され、補助記憶装置を融合するメモリ指令を正しくするために使用される。このシステムは、LPWおよびDCW における予め定められたビットを補助記憶装置からマルチプレクサ・モジュールにより読出されている情報がシステム・ストアに記憶されるべき状態に対する予め定められた状態にセットする。

各メモリ指令における予め定められたビットの次序を変更する能力を有する事により、入出力

システムの間なる命令モジュールは、システムに記憶される情報を正しく記憶する事なく情報に対する迅速なアクセスが可能となり、これによりある操作が更に迅速に実行可能となる。

情報および操作方式の両方の観点から型別を有するものと考えられる本発明の新規な事項については、更に別の目的および長所と共に、添付面に於いて以下の記述を参照すれば更によく理解される。然し、本記述は例示のためのものであるもので、本発明の規定する事項ではない事項に適用されるべきである。

#### 一般論

第1図から判るように、本発明の構成を包含するシステムは、少くとも1個の入出力プロセッサ (PO) 200個と、システム・インターフェース装置 (SIU) 100個と、高度マルチプレクサ (HSMX) 300個と、低速マルチプレクサ (LSMX) 400個と、上位プロセッサ700個と、1つの局域メモリ・モジュール500個と主メモリ・モジュー

ル800個に規定する多数のメモリ・モジュールとを有する。これ等のモジュールの各々は、異なるタイプのインターフェース600個乃至603の各々の複数の回路を介してシステム・インターフェース装置 (SIU) 100の多数のポートの1つに接続している。更に、入出力プロセッサ (IOP) 200個と、上位プロセッサ700個と、高度マルチプレクサ300個はそれぞれポートG、E、およびAと接続し、低速マルチプレクサ400個とメモリ・モジュール500、500個および800はそれぞれポートJ、LMOおよびRMOと接続する。

第1図の入出力システムは、多数の「制御モジュール」、「受動モジュール」および「メモリ・モジュール」を含むように示されている。IOP プレクサ200個と、上位プレクサ700個と、高度マルチプレクサ300個は、各々が指令を出す能力を有する制御モジュールとして作用する。受動モジュールは通信ポートA乃至Hに接続する。複数の受動モジュールは、3つのポートJ、K、およびLに接続される。これ等のモジュールは、低

速マルチプレクサ400個とSIU100個に接続し、以下に述べる如くインターフェース601の各回路に与えられる指令の解釈および実行の可能な装置である。最後のグループのモジュールは、インターフェース603の各回路に与えられる2つの異なるタイプの指令を実行する能力のある主メモリ・システムの命令の如き局域メモリ・モジュールとリモートメモリ・モジュールを構成する。

第1図の入出力システムは、尚、それぞれ以下に詳細に記述するデータ・インターフェースおよびプログラム記憶インターフェースと対応するインターフェース600個と601を介して高度ポータブルな上位プロセッサ700により制御される入出力命令に回答する入出力サブシステムとして作用する。ポートEとFは、第1図のマルチプレクサまたはプロセッサ・モジュールのいずれかの回路を介してするためのインターフェースを含んでいる。

本発明の目的のためには、プロセッサ700は

図上公開であり、大図解群第3413.613号に記載される如き装置の形態をとり得る。要するに電送機中においては、入出力プロセッサ200は、入出力データの送受信に必要とされるチャンネルプログラムを記憶し、SIU100から受取る転送要求を処理し、送受信プロセッサ400に適合されるパケット・フォーマット変換装置を制御する。プロセッサ200は、データ・インターフェース600と転送インターフェース602を介してポートHに接続する。

本装置の目的においては図上公開と考えられる送受信プロセッサ400は、各々が装置アダプタ・インターフェース(DAI)の各回路に適合する電送装置アダプタを介して送受信の周辺装置の取付けを可能にする。このインターフェースおよびアダプタは、本装置の構成人に提供された大図解群第3742.457号に記載される如き装置の形態をとり得る。この送受信装置には、カード・リーダー、カード・パンチおよびプリンタが含まれる。第1図から判るように、マルチプロセッサ400は

前述の如く、各モジュールはSIU100の異なるポートに接続する。SIU100は、各々のモジュール間のデータおよび制御情報の転送を可能にする転送経路を介して各モジュールの相互に対する接続を可能にする。本装置の目的のためには、SIU100は、要求者のモジュールが最優先優先を有しかつ次に使用可能なメモリー・タイトルを決定される時、要求メモリー・モジュール500に照して各「転送」モジュールにデータの出入り転送を可能にする切当な経路として考えられる事ができる。即ち、前述の如く、SIU100は、各モジュールからの要求の切当な優先順位を決定し、次に使用可能なメモリー・タイトルを受取つて決定された切当な優先順位とメモリ・アドレスを含む。

更に、SIU100は、各モジュールから受取る転送要求の切当な優先順位を決定し、かつ受取つた最優先優先の要求を処理し、前記の如き切当な経路を介してこの要求をプロセッサ200に送る転送要求優先順位装置を含む。

特開第53-84632号  
プログラム可能インターフェースとポートJに接続している。

送受信マルチプロセッサ300は、チャンネルアダプタ302乃至305の各々に接続するディスク装置およびテープ装置309乃至312の各グループ間の転送を制御制御する。更に、最大16個の装置に接続し得る各チャンネル・コントローラアダプタ303乃至306は、更に、チャンネルアダプタインターフェース(CAI)301-1のインターフェース回路を介してポートAはチャンネル0乃至3の各々に接続する。送受信マルチプロセッサ300は、データ・インターフェース600、プログラム可能インターフェース601および転送インターフェース602に対応するポートAに接続する。

本装置の目的のためには、チャンネル・コントローラアダプタ302乃至305の各々は、図上公開と考えられる事ができ、前述の大図解群第3742.457号に記載されたコントローラアダプタの形態をとり得る。

#### ポート・インターフェース

第1図の異なるモジュールについて簡単に説明するに先立ち、前述の各インターフェース600乃至603について第5図乃至第5d図に照して以下に記述する。

最初に第5a図に照して、即ち、1つの転送モジュールとSIU100間の情報交換を行うインターフェースの1つであるデータ・インターフェースを構成する各回路を示す事が判る。この情報交換は、「ダイアログ」と呼ばれるセッションにより構成される予め定められた規則に従つて各命令とデータの情報の状態を制御する事により行われる。

第5a図から判るように、このインターフェースは、1つの転送出力ポート要求回路(AOPR)と、複数のSIUデータ回路(DTS00~35, P0~P3)と、複数のSIU制御データ回路(SDTS0~6, P)と、複数のSIUマルチポート要求回路(MITS0~3, P)と、1つの転送要求受け回路(ARA)と、読出しデータ受

入力回路 (ARDA) と、演算部の SIU からのデータバス回路 (DFS 70~35, P0~P3) と、演算部の SIU からのマルチポート識別子回路 (MIPS 7~3, P1) と、SIU からの 2 管理回路 (OPFS) と、外部入力回路 (AST) とを含む。この高インターフェース回路については、更に詳細に以下の項において記述する。

#### データ・インターフェース回路

記号	説 明
AOPR	この回路はカポー・要求回路は、各モジュールから SIU 100 に存在する一方向性の回路である。この回路はセットされると、指令又はデータが送られるべき転送経路をモジュールが要求する事を SIU に対して伝達する。
DTSC0~35, P0~P3	このデータ経路は、各モジュールと SIU 間に存在する 4 バイトの一方向性の経路 (4 つの 10 ビット・バイト) で、各

される (指令はメモリー・モジュールのみにより構成され、プログラム可能インターフェース指令は、入出力プロセッサ 700 を除き全てのモジュールにより構成される)。

c) ビット 5 の状態は、指令経路の 1 ワード又は 2 ワードが要求者のモジュールと表示された受取り側のモジュール間に転送されるべき事を表示する (1 ワードは単相転送を指定し、2 ワードは 2 相転送を指定する)。

d) ビット 6 の状態は、要求者のモジュールと表示された受取り側のモジュール間の転送方向を表示する。

e) ビット P は、SIU 100 に与えられる信号により喚起され

回路 MS-84632 の各モジュールから SIU 100 に対して指令又はデータを転送するのに使用される。

SDTSG~6, P 各 SIU 間データは、各モジュールから SIU 100 に存在する。この回路は、回路 AOPR がセットされる時各モジュールを SIU 100 に与えるために使用される。時間制御情報は、以下の如く符号化される 7 つのビットと 1 つのパリティ・ビットからなる。即ち、

a) ビット 0 の状態-DTS 回路に与えられる指令のタイプ (指令がプログラム可能インターフェース指令又はメモリー指令かどうか)

b) ビット 1~4 は、モジュールのどれが指令を受取り納込みさせるかを表すよう符号化

する要求者の各モジュールにより生成されるパリティ・ビットである。

MTS0~3, P 4 本の各 SIU マルチポート識別子回路は、各モジュールから SIU 100 に存在する。この回路は、各モジュール内のどのサブチャネル又はポートが回路 AOPR のセッティングを生じたかを表すよう符号化される。

ARA 各モジュール要求入力回路は、SIU 100 から各モジュールに存在する。この回路は、表示された受取り側のモジュールが、データ・インターフェース回路から要求された情報を抽出させる各モジュールの要求を受入れた事を表示するようセットされる。

ARDA 既出しデータ受入れ回路は、SIU  
から各駆動モジュールを監視す  
る。この回路は、SIU100によ  
りセットされて、表示されたモ  
ジュールから前に要求されたデ  
ータを受入れるべき事を駆動モ  
ジュールに対して表示する。

DFS00~35,  
P0~P3 SIUからのデータ回路は、SIU  
から各駆動モジュールを監視す  
る4バイト中の一万回性経路  
(4つの10ビット・バイト)  
である別の組のデータ経路回路  
である。これ等の回路の組は、  
既出しタイプのデータを駆動モ  
ジュールの表示された1つに低  
えるようSIU100により使用  
される。

MIFS0~3, P 4本のマルチポート識別子回路  
プラス各群パリティ回路は、SIU  
100から各駆動モジュール迄

DPFS

AST

特開53-84632:3  
既述する。これ等の回路は、駆動  
モジュールにおけるどのデータ  
又はサブチャンネルがSIU100  
から前の既出し操作のデータを受  
入れるべきかを表示するよう  
符号化される。

SIUからの2経路の回路は、SIU  
から各駆動モジュールを監視す  
る。この回路の状態は、既出し  
データの1ワード又は2ワード  
が駆動モジュールにより受入れ  
られて転送を完了(既出し指令)  
する事を表示する。

状況受入れ回路はSIU100から  
各駆動モジュールを監視する。  
相互に同様のARDAを繰返すこ  
の回路の状況は、駆動モジュ  
ールがDFS回路に与えられる状況  
情報を受入れるべき事を駆動モ  
ジュールに信号する。

第5b図に示されたプログラム駆動インター  
フェース601の回路は、駆動モジュールと表示  
されたモジュールからの指令情報の転送を行う。  
この転送は、「ダイアログ」と呼ばれる操  
作シナシスにより構成される予め定められた規則に  
従い各信号回路の状況の検出回路を調整する事  
により行われる。プログラム駆動インターフェース  
は、プログラム駆動インターフェース指令受入れ  
回路(APC)、複製本のSIUからのプログラム駆動  
インターフェース・データ回路(PDFS00~35,  
P0~P3)、プログラム駆動インターフェース  
使用回路(PIR)、データ転送既出し要求回路  
(RDTR)、複製本からのSIUプログラム駆動イン  
ターフェース・データ回路(PDTS00~35, P0  
~P3)、およびデータ既出し受入れ回路(RDAA)  
を含む。これ等インターフェース回路については  
更に図5c以下に記述する。

#### プログラム駆動インターフェース回路

IP 号	説 明
A P C	プログラム駆動インターフェー

PDFS00~35,  
P0~P3

PIR

ス指令受入れ回路は、SIU100  
から各受取り側モジュール迄  
監視する。この回路はセットされ  
ると、指令情報がSIUによりイ  
ンターフェースのPDFS回路に  
与えられた事およびモジュール  
により受入れられるべき事をモ  
ジュールに対して信号する。

SIUからのプログラム駆動イン  
ターフェース・データ回路は、  
SIU100から各モジュール迄  
監視する4バイト中の一万回性  
の経路(4つの10ビット・バ  
イト)である。これ等の回路は、  
SIUから表示された受取り側の  
モジュールに対してプログラム  
駆動インターフェース情報を与  
える。

プログラム駆動インターフェ  
ース使用回路は、各モジュ



ルからSIU 送送する。この  
 回線は、セツトされると、モ  
 ジュールが回線PDFSに与えら  
 れるべき指令を受入れる用意のあ  
 る事を表示する。

PDTSD00~35,  
 P0~P3

SIUプログラム可能インター  
 フェース・データ回線は、各モ  
 ジュールからSIU100送送  
 する4ビットの一方向性の経  
 路(4つの10ビットパイ  
 プ)である。これら回線は、プ  
 ログラム可能インターフェース情  
 報をSIUに送送するのに使用さ  
 れる。

RDTR

データ送送要求送出し回線は、  
 プログラム可能インターフェ  
 ースに命令された各モジュールか  
 らSIU100送送する。この  
 回線は、セツトされると、所  
 要求された送出しデータがモジ

RDAA

モジュールに対する所求つたのに便  
 用可能であり、モジュールによ  
 り回線PDTSKに対して与えられ  
 た事を表示する。

送出しデータ受入れ回線はSIU  
 100から各モジュールに送送  
 する。この回線は、セツトされ  
 ると、回線PDTSKに与えられる  
 データが受入れられた事、およ  
 びこのモジュールがこれら回線  
 からの情報を受取る事をモ  
 ジュールに対して表示する。

その他のインターフェースは、入出力プロセサ  
 200により読み込み処理を行う第5回線の読み込  
 みインターフェース602である。即ち、このイン  
 ターフェースは、制御モジュールによる読み込み情  
 報のSIU100に対する送送を可能にすると共に、  
 SIU100による読み込み情報の処理のための入出  
 力プロセサ200に対する送送も可能にする。他  
 のインターフェースと同様に、読み込み要求の送送

は、「ダイヤログ」と呼ばれる信号シーケンス  
 により構成される予め定められた規則に従い各信  
 号回線の論理的状態を制御する事により行われる。

このインターフェースは、読み込み要求回線(IR)  
 と、複数本の読み込みデータ回線(IDA00~11,  
 P0~P1)と、ポートA乃至Lに接続されたモ  
 ジュールに対する複数本の読み込みマルチポート選  
 別子回線(IMID00~03)を含む。ポートG  
 とHに接続されたモジュールに対しては、読み込  
 みインターフェースは更に、レベル零存在回線(LZP)、  
 高レベル読み込み存在回線(HLIP)、読み込みデー  
 タ要求回線(IDR)、読取回線(RLS)、および複数本  
 の読取読み込みレベル回線(AIL0~2)を含んで  
 いる。第5回線から判るように、読み込みインター  
 フェース・ポートGとHは、読み込みマルチポート  
 選別子回線は含まない。読み込みインターフェース  
 回線については更に詳細に以下に記述する。

#### 読み込みインターフェース回線

記号	説明
IR	この読み込み要求回線は、各モ

ジュールからSIU100送送す  
 る。この回線は、セツトされ  
 ると、サービスを要求する事を  
 SIUに表示する。

IDA0~3, P0  
 IDA4~11, P1

読み込みデータ回線は、制御モ  
 ジュールからSIU100を送送す  
 る。これら回線は、読み込み要求  
 がプロセサにより受入れられ  
 後、入出力プロセサに対して送  
 送される必要がある制御情報を  
 含むように符号化される。これ  
 らのビットは以下の如く符号化  
 される。

a) ビット0の状態は、2つの  
 プロセサの内どちら(即ち、プ  
 ロセサ番号)が読み込み要求を処  
 理するかをSIU100に対して  
 指定する。

b) ビット1~3は、読み込み要  
 求の優先順位即ちレベル番号を

要求したかを示すように符号化される。

L Z P

レベル存在回線は、SIU100から入出力プロセッサ200に存在する。この回線は、セフトされると、SIU100によりプロセッサ200に対して伝送される優先順位(レベル)の存在要求がある事を表示する。

H L I P

高レベル存在回線は、SIUから入出力プロセッサに伝送する。この回線は、セフトされると、プロセッサ200により実行される手順又はプロセスよりも高いレベルの優先順位を有する要求がある事を表示する。

I D R

読み込みデータ要求回線は入出力プロセッサ200からSIU100に存在する。この回線は、セフトされると、読み込みデータが

SIU100に於いて表示するよう符号化される。

c) ビットP0はビット0〜3に対するパリティ・ビットである。

d) ビット4〜8は、読み込み処理のための正しい手順を組合せるために入出力プロセッサ200により生成される必要があるアドレスの一(即ち、読み込みアドレスプロセッサICBN)を示すよう符号化される。

e) ビットP1はビット4〜11に対するパリティ・ビットである。

IMIDQ0〜33

読み込みマルチポート識別子回線は、各機能モジュールからSIU100に存在する。これら回線は、機能モジュールのどのサブチャンネルが読み込みサービスを

SIU100により回線DFS上のプロセッサに対して決られるべき事を表示する。

R L S

結果回線は、入出力プロセッサ200からSIU100に存在する。この回線は、セフトされると、プロセッサ200が現行の手順の実行を完了した事を表示する。

AIL0〜2

読み込みレベル回線は、SIUからの入出力プロセッサ200に存在する。これら回線は、プロセッサ200により実行中の手順の読み込みレベル番号を表示するよう符号化される。

第1図のモジュールのあり方により使用されるインターフェース回線の長さは、第5図の局内メモリ・インターフェース回線に対応する。局内メモリ・インターフェース603は、局内メモリ500とシステム・モジュール間の

情報の交換を行う。この交換は、「ダイヤログ」と呼ばれる信号シーケンスにより構成される予め定められた時刻に従って各信号インターフェース回線の論理的状態を制御する事により行われる。局内メモリ・インターフェースは、現行本の前メモリ・データ回線(DTM00〜35, P0〜P3)、現行本の前メモリ・要求識別子回線(RITM0〜7, P0〜P1)、現行本の前メモリ・指示回線(SLTN0〜3, P)、PI指令受入れ回線(APC)、ZAC指令受入れ回線(AZC)、PIインターフェース使用許可回線(PIR)、ZACインターフェース使用許可回線(ZIR)、データ転送要求輸出回線(RDTR)、現行本の前メモリからのデータ回線(DFM00〜35, P0〜P3)、現行本の前メモリからの要求識別子回線(RIFM0〜7, P0〜P1)、メモリからの2倍増速回線(DPFM)QUAD回線、輸出データ受入れ回線(RDAA)、およびシステム・クロック回線(SYS-CLK)を含む。

メモリおよびプログラム記憶インターフェース

ス指令は、インターフェースの受け渡しのデータ  
 回線から転送される。このインターフェースは、  
 読み込み要求の処理のための1組の回線を含んでお  
 らず、従ってSIU100により局内メモリに格  
 納されるモジュールは局内メモリに読み込みを主  
 たる事はできない。局内メモリ・インターフェ  
 ース回線については以下に更に詳細に記述する。  
局内メモリ・インターフェース回線

IP 番	説 明
DTMO0~35, PO~P3	データ送受信回線は、SIU100 から局内メモリ500に格納さ せる4バイトの一方向性経路 (36本の情報回線および4本 の奇数パリティ回線)を構成す る。これら回線は、メモリ又 はプログラム可能インターフェ ース指令を局内メモリ500 に対して転送するのに使用され る。

RITMO~3, P0 局内メモリ・リクエスト識別子  
 RITM4~7, P1

又はサブチャンネルがモジュー  
 ルに対して送られたメモリ指  
 令を受取るか識別するかを指示  
 するよう符号化されたポート番  
 号選択ビットである。

b) ビット2は、新たな命令が  
 SIU100によりメモリに送  
 られる時、SIU100により局  
 内メモリ500に転送され  
 るモジュールから受取られ  
 る情報回線に含まれる局内  
 メモリ読出し/書き込みビットで  
 ある。このビットの状態は、デ  
 ータ転送の方向を示す。

c) ビット3は転送されるべき  
 データ量を指示するよう符号化  
 される局内メモリ7倍増ビット  
 である。これは、又、新たな  
 な命令がメモリ・モジュール  
 に送られる時、SIU100によ

特記53-84632(11)  
 回線は、SIU100から局内  
 メモリに格納する2グループの  
 4回線を構成する。これら回線  
 は、指令を転送したモジュール  
 を識別する局内メモリに対し  
 て情報を伝えるよう符号化され、  
 真正なモジュールに対し要求さ  
 れたデータを送るのに使用され  
 る。

SLTMO~3, P 局内メモリ指定回線は、SIU  
 100から局内メモリ500  
 に格納し、2本のポート番号選  
 択回線、局内メモリ読出し/書  
 込み回線、局内メモリ2倍増  
 回線、およびパリティ回線を含  
 む。これ等の回線に与えられた  
 情報信号は下記の如く符号化さ  
 れる。即ち、

a) ビット0~1は、取付けら  
 れるモジュール内のどのポート

A Z C

り局内メモリ・モジュール  
 500に対して転送される順  
 号モジュールにより与えられる  
 場所間情報に与えられる。

ZAC 指令受入れ回線は、SIU  
 100から局内メモリ・モジ  
 ュール500に格納する。この  
 回線は、セットされる時、局内  
 メモリ・モジュール500に  
 対して、SIU100により他の  
 回線に与えられたZAC指令およ  
 び情報回線を受入れる事を指示  
 する。このインターフェース回  
 線のセッティングは、PI指令  
 受入れインターフェース回線に  
 対して相互に排他的である。

プログラム可能インターフェ  
 ース指令受入れ回線は、プログラ  
 ム可能インターフェースに暗して  
 記述したように、SIU100か

A P C

	ら局内メモリ・モジュール 600迄存在する。この回路は、 セットされると、回路DTMに与 えられた指令情報に局内メモリ ・モジュールにより受入れら れるべき事を表示する。	
PIR/ZIR	プログラム可能インターフェー ス使用可能範囲/ZACインター フェース使用可能範囲は局内メ モリ・モジュール500から SIU100迄存在する。各回路 はセットされると、局内メモリ ・モジュール500がプログラ ム可能インターフェース(PI) /メモリ(ZAC)指令の受入 れが可能であることをSIU100 に対して伝達する。	DFM0~35, P0~P3
RDTR	データ転送要求出力回路は、 局内メモリ・モジュール500 からSIU100迄存在する。こ	メモリからのデータ回路は、 局内メモリ・モジュール500 からSIU100迄存在する4バ イト中の1バイトのバスである。 これら回路は、読出し要求され たタイプデータをSIU100を 介して記憶モジュールに属すの に使用される。
		RIFM0~3, P RIFM4~7, P

DPFMおよび QUAD	要求モジュールに対して読出 しデータを制御させるよう符号 化されている。 メモリからの2倍精度回路お よびQUAD回路は、局内メモリ ・モジュール500からSIU 100迄存在する。これら回路 は、読出しデータ転送要求時間 領域の間SIU100を介して要 求側のモジュールに対して転送 されるべきワード数を表示する ように符号化されている。これ らの可視化は下記のとおり符号化さ れる。即ち、 QUAD DPFM 0 0 1ワード、単精度 0 1 2ワード、2倍精度 1 x 4ワード (x:任意)	
DSD	読出しデータ/状況識別子回路は	RDA A

局内メモリ・モジュール500  
からSIU迄存在する。この回路  
の状況は、回路DFMに与えられ  
る情報は、回路RDTRがセット  
されると、読出しデータ又は状  
況情報であるかどうかをSIU  
100に対して伝達する。この  
回路は、セットされると、1ワ  
ード又は2ワードの状況情報  
(QUAD=0)が転送されつつあ  
る事を表示する。2進数値にセ  
ットされると、この回路は、4  
ワード迄のデータが転送されつ  
つある事を伝達し、そのワード  
数は回路QUADおよびDPFMの  
符号により指示される。  
プログラム可能ターミナルに關  
して述べたように、読出しデー  
タ受入れ回路は、SIU100か  
ら局内メモリ・モジュール迄

存在する。この回路は、セットされると、局内メモリー・モジュールによりインターフェース回路上に与えられるデータが受入れられた事、および局内メモリー・モジュールがデータをこの回路から除去できる事をメモリー・モジュールに対して信号する。

SYSTEM-CLK システム・クロック回路は、SIU 100からシステムの各モジュールに存在する回路である。この回路は、入出力プロセサ200に内蔵されるクロック・ソースに接続され、共通のシステム・クロック・ソースからの各メモリー・モジュールの動作を同期させる。

第5図乃至第5d図は、第1図のシステムの異なるモジュールをSIU100に接続する回路を

#### 制御ストア・セクション201

各セクションを更に詳細に考察すれば、制御ストア201-10は例えば読出し専用(ROM)のために使用する固定セクションから構成される。ストア201-10は、セレクト・スイッチ201-14に与えられた8つのアドレス・ソースのどれか1つからの信号を介してアドレス指定可能である。アドレス指定された場所の内容は、出力レジスタ201-15に読込まれ、ブロック201-16に内蔵されるデコード回路により処理される。

更に、図示の如く、レジスタ201-15のマイクロ命令内容のフィールドの1つからの信号は8つの入力ソースの内どれが制御ストア201-10に対してアドレスを与えるかを選択するためのスイッチ201-14に対する入力として与えられる。レジスタ201-15に読出されたマイクロ命令は、制御ストア201-10を通過したマイクロプログラム・ループに分割するためのアドレス定数を含んでいる。

特開第53-84632(13)

示すが、例えばエラー条件および動作条件の如き他の条件を発生するため他の回路も含まれる事が判るであろう。第1図のモジュールにより使用される異なるタイプのインターフェースについて記述したが、本発明の原理に関連する各モジュールについて以下に更に詳細に記述する。

#### 入出力プロセサ200-0の回路

第2図において、プロセサ200の各プロセサ200は、命令実行のため制御ストア201-10に記憶されるマイクロ命令に 대응して制御信号を生成するよう作用するマイクロプログラム化された制御セクション201と、局内メモリー・モジュール500から取出される命令を記憶するための命令バッファ・セクション202と、記憶セクション203と、制御ストア201-10に記憶されたマイクロプログラムの制御下で演算処理作用を実行するための処理セクション204とを含む。このプロセサ200の構成はシステムの信頼性を保証するものであり、増設回路に引用した最初の出願に詳細に述べられている。

第2図から判るように、8つの制御ストア・アドレス・ソースは下記の如きものが含まれる。即ち、SIU100およびプロセサ200内蔵の回路により与えられる信号から導かれる読み込み/例外信号と、加算/シフト器201-24を介してレジスタ201-22に記憶される次のアドレス情報を受取る次のアドレス・レジスタ位置と、戻りレジスタ201-20の戻りアドレス内容を受取る戻りアドレス・レジスタ位置と、メモリー出力レジスタ201-4を介してバスファインダ・メモリー201-2からアドレスを受取る実行アドレス・レジスタ位置と、これも又レジスタ201-4からアドレスを受取るシーケンス・アドレス・レジスタ位置と、出力レジスタ201-15から一定数値を受取る定数位置とである。

通常の次のアドレスが加算回路201-24により生成され、この回路は、一方のオペランド入力としてスイッチ201-14により選択されるソースの1つからアドレス信号を、他方のオペランド入力としてブロック201-26のスクラップ

制御回路からの信号を受取る。このスケッチ制御回路は制御スタブ・レジスタ201-15に記憶される定数信号により動作が行われ、前記レジスタは更に定数回路201-24に対するオペランド入力の一つとして適切な数値を与える。定数回路201-24により生成されて得たアドレスは、スイッチ201-14により与えられるアドレス・プロシダ201-26のスケッチ制御回路により与えられる定数信号の和を表示する。要約すれば、スイッチ201-14の異なる位置は、制御スタブ201-10から選択されたマイクロ命令に等価して選択され、プログラム命令のOPコードにより指定される操作の実行に必要とされる制御スタブ201-10に記憶されるマイクロプログラムに対して適切なアドレスを与える。命令OPコードは、図示の如く回路201-6を介してバス・アインダ・メモリ・201-2に与えられる。スイッチ201-14の異なるアドレス・レジスタ位置は分岐操作の発生としてプログラムの順序付けの間に選択されるが、定数レジスタ位置はレジ

スタブ201-15に記憶されるマイクロ命令の定数フィールドにより指定される定数スタブ201-10における予め定められた場所に対する分岐を行うために選択される。

プログラム命令の実行の完了時点で前記みちがもたれる。第2図から、高レベル前込み存在(HLIP)回路およびレベル前込み(LZP)回路はスイッチ201-14に信号を与える事が出来る。HLIP回路に与えられる信号はプロセス制御レジスタ204-22からの前込み禁止信号と「AND」され、その結果はLZP回路に与えられる信号とORされる。高レベル前込み存在信号が与えられない、即ちLZP回路に与えられる信号が与えられない時、スイッチ201-14に接続された制御回路(図示せず)からの信号は前記/前込み位置を選択する。前込みの存在を表示する信号回路(LZPおよびHLIP)は、次のプログラム命令を実行するためのマイクロ命令シーケンスを照合する代りに、マイクロ命令の前込みシーケンスの照合を照合させる。

「例外」を表示する信号回路は、スイッチ201-14と接続する制御回路(図示せず)に与えられ、前記/前込み位置の選択を要する。この状態では、マイクロ命令の例外シーケンスを照合するためのアドレスを与える。実行のタイプに応じてみちはさらに処理されるが、これは、実行するプログラム命令実行が完了されなければならない、即ち可能でない(例、置数、定数命令)ためである。すなわち、命令が即興のアテンションを必要とした(例、タイム・アウト・オーバーフロー)プログラム命令の実行の完了と同時に処理される。本文に説明したように、例外の発生は、スイッチ201-14の例外/前込み位置を選択させ、プロセスレジスタ204-22の適切なビット位置のセグメンテーションを要する。

第1図にPDAと表示され、制御セグメンテーション201-2に対する適切なメモリの操作タイトルを指定するために必要なタイミング信号は、プロセス201-2のセグメンテーションおよび第1図のシステムの他のモジュールを操作するためのタイミング

信号と共に、ブロック201-30に内蔵されるクロック回路により与えられる。本発明の目的に対しては、クロック回路および第2図の他の回路は共に周知と考える事ができ、例えば、1972年テキサス・インスツルメンツ社により発行された「設計技術者のための集積回路カタログ」なる著名の文献に示される諸回路の形態をとつても良い。更に、クロック回路はクリスタル制御回路およびカウンタ回路からなり、スイッチ201-14は複数のデータのセグメンテーション・ブロック回路を有するもので良い。

前述の事から、他種どのマイクロプログラム化された制御装置における如く、制御スタブ201-10は各プロセスの操作サイクルのために必要な状態を与える。即ち、1操作サイクル中に制御スタブ201-10から送出される各マイクロ命令ワードは多くの別々の制御フィールドに分割され、このフィールドは、異なるスクランブルパッド・メモリのアドレス指定およびオペランドの選択のための第2図の各種のセグメンテーション・スイッチに対する

して必要な入力信号と、分岐のための各テスト条件を指示するための信号と、セクション204の位置/シフト装置の動作を制御するための信号と、指令を生成するのに必要な制御情報を与えるための信号とを与える。制御セクション201の動作に關するこれ以上に詳細な内容については、本発明の譲受人に譲渡されたG.W.パターソン著の「バスファインダ制御メモリ」なる名称の伝真中の米国特許出願を参照されたい。又、本発明の関連出願に記載の文献を参照してもよい。

#### 命令バッファ・セクション202

本項は、命令メモリ・モジュール500から取出されかつレジスタ204-18におけるデータを介して与えられる4ワード迄の命令を記憶するための複数個のレジスタ202-2を含む。レジスタ202-2のグループは、2つの出力と1つの現行命令既出し出力(CIR)と1つの次の命令既出し出力(NIR)とを有するよう構成される2桁の命令レジスタ・スイッチ202-4に接続されている。半ワード又は完全ワードに亘る命令

ワードの選択は、ブロック204-12の位置レジスタの最初のものに過渡記憶される現行命令カウンタ(IC)のビット位置の状態に従って行われる。本発明の目的のためには、この構成は簡便と公認のものと考えられる。

#### 記憶セクション203

第2図から判るように、このセクションは、8つの異なる8つの優先順位レベルを割当てられる8つの異なるプロセスと関連する8組又は8グループのレジスタを含むスクラッチパッド・メモリからなる。最優先順位のレベルはレベル0であり、最低順位のレベルはレベル7である。各グループ間レベルは、前述の如く使用される16個のレジスタを含む。

スクラッチパッド・メモリ203-10は、8つのソースのどれから7ビットのアドレスをアドレス入力203-12に対して選択的に与える8位置のデータ・セレクタ・スイッチ203-14を介してアドレス指定される。アドレス入力203-12の3つの最上位のビット位置は8組

のレジスタ(即ち、レベル)の1つを選択するが、残りの4ビットは16レジスタの1つを選択する。SIU100により能動読みレベル(AIL)回路に与えられる信号は、3つの最上位のビットをスクラッチパッド・アドレス入力203-12に与える。残りの信号は、制御ストア・レジスタ201-15又はIRSWを介して与えられる命令からのフィールドにより与えられる。

書き込みアドレス・レジスタ203-22は、スイッチ202-4を介してロードされ、レジスタ201-15に含まれるマイクロ命令のフィールドの1つにより表示される如き現行プログラム命令のビット9-12又はビット14-17のいずれかに対応する信号を記憶する。従つて、書き込みアドレス・レジスタは、スクラッチパッド・メモリ203-10の汎用レジスタの1つに機能をロードしあるいはこれを見出すためのアドレス記憶を有する。書き込み動作は、表示しないクロックされた書き込みフリップフロップの2番目1への切換えに對し、あるいはレジスタ201-15へロー

ドされるマイクロ命令のフィールドに對して応答して生じる書き込みクロック信号の発生と同時に生じる。書き込みフリップフロップにより生成される時、次のPDAクロック・パルスの発生と同時に書き込みフリップフロップが2番目番目にリセットされる時に書き込みクロック信号が生じる。これは、次の命令の処理を開始する間プログラム命令に關する書き込み動作を発生させる。

書き込みアドレス・レジスタ203-22の内容は、レジスタ203-22が0、1又は15のアドレスを記憶する度に出力回路上に信号を発生するように作用するセレクタ・スイッチ203-14を介してデコード回路203-28に与えられる事が判るであろう。この信号は、書き込みフリップフロップが2番目1の状態にある時、図示しないゲート回路により書き込みクロック・パルスの発生を停止する。更に、デコード回路203-28は、プロセス状態レジスタ204-20からセード信号を受取る。プロセッサ200がマスター又はスレーブ動作モードにある事を示す信号の状態は、

出力信号で「AND」され、プロセス制御レジスタ 204-27 およびスイッチ 201-14 の例外-割込み位置の選択を生じる 1 つに対する入力として与えられる別の出力回路上の例外信号を生じることによって使用される。本文に説明したように、この状態は、スクラッチパッド・メモリ 203-10 のプロセス状態レジスタの場所 (GRO) の内容の変更を退出する。

アドレス指定されたレジスタの場所の内容は、最初の 2 位置のデータ・セレクト・スイッチ 203-18 を介してスクラッチ・バッファ・レジスタ 203-16 に搬送される。次いでこのバッファ・レジスタ 203-16 の内容は、別の 2 位置のデータ・セレクト・スイッチ 203-20 を介して処理セクション 204 に選択的に与えられる。データ・セレクト・スイッチ 203-14、203-18 および 203-20 の各々の最なる位置は、レジスタ 201-15 に搬送されるマイクロ命令に与えられる最なるフィールドにより選択可能である。スクラッチパッド・メモリ 203-10 は、

の故に、このレジスタの内容を格納する信号は、処理セクション 204 のレジスタ (即ち、レジスタ 204-20) の 1 つに記憶される。このように、プロセス状態レジスタの内容を記憶するための汎用レジスタの記憶場所は、割込みの発生と同時にセクション 204 のプロセス状態レジスタの現在値を記憶するよう作用する。

各グループのレジスタは、更に、関連するプロセスの現行命令のアドレスを記憶するための命令カウンタ (汎用レジスタ 1) を含んでいる。更に、各グループのレジスタは、ページ・テーブル基座レジスタ (汎用レジスタ 15)、およびオペランドとアドレス情報のための一時的記憶を提供するための多数の汎用レジスタ (汎用レジスタ 7-14) を含んでいる。スクラッチパッド・メモリ 203-10 は又、例外メモリ・モジュール 500 に記憶される例外制御ブロックおよび割込み制御ブロック・テーブルの基座を指示する絶対アドレスを記憶する制御ブロックの基座 (CBB) レジスタの場所を含んでいる。決して変更されないレジ

ブロック 204-17 の 4 つの作業レジスタの内のいずれか 1 つに選択的に格納された 1 対の出力バスから与えられるデータ信号を受ける。

16 個のレジスタの各組は、現行プロセスの割込に必須の情報の記憶のためのプロセス状態レジスタ (PSR) の場所 (汎用レジスタ 0) を含む。レジスタの最初の 8 ビット位置は、割込みモジュールを識別するよう符号化された帰属情報を記憶する。次の位置は、操作モード (即ち、マスター又はスレーブ) を識別するよう識別するよう符号化された帰属ビット位置である。このレジスタも又、レジスタ内容が変更できるかどうかを表示するよう符号化された例外レジスタのビット位置と、アドレス・モード・ビット位置と、2 つの例外コード・ビット位置と、繰上げビット位置と、関連するプロセスが活動状態にある (即ち、「プロセス・タイマー」として作用する) 計量的に差分されるカウンタを記憶するための 22 ビット位置とを含む。修正又は照合のために必要なプロセス状態レジスタの内容に対するアクセスの順度

の優先順位 (レベル 0) の組の最初のレジスタ GRO は、制御ブロックの基座情報を記憶する。割込み制御ブロック (CBB) テーブルは、割込みタイプを処理するための情報を記憶する 256 グループの記憶場所を含んでいる。例外制御ブロック (ECB) テーブルは、例外タイプを処理するための情報を記憶する 16 グループの記憶場所を含んでいる。

例外とは、プロセッサ 200 を自動的に 16 の例外制御ルーティンの 1 つに入れるプロセス検出による条件である。この例外条件は、プロセッサがマスター・モードに入る時プログラム命令のビット 10-13 に対応する 4 ビットの例外番号により識別される。他の全ての場合には、例外番号は零である。例外番号 (ECB#) は、例外処理ルーティンを指示する 4 ワードの例外制御ブロック (ECB) の 1 つを識別するのに使用される。ECB のバイト・アドレスは、制御ブロック・ベース (CBB)-16 (ECB#\*11) と等しい。各 ECB は、プロセッサ 200 が例外ルーティンに入る前に、現行プロセスに属す



る情報を記憶するためのスタック領域として作  
用する保管領域ポインタに加えて、レジスタPSR、  
ICおよびPTBRをロードするための数値を含む。  
制込み制御ブロック(ICB)のアドレスは、制  
込み制御ベース(CBB)-16(ICB\*)と等し  
い。ICB\*は前述の如く制込みワードから導かれ  
る。同様に、ICBは4ワードのブロックであり、  
レジスタPSR、IC、GR14およびPTBRに対  
する数値を含む。

#### セクション204

このセクションは、プログラム命令の処理によ  
る変数管理操作の全てを規定する。セクション  
204は、1対の36ビットのオペランドに対し  
て変置、シフトおよび論理的操作を実施する能力  
がある加算/シフト装置204-1を含む。装置  
204-1の元変置命令又はシフト装置部分の  
いずれかにより主たる結果は、マイクロ命令に  
応答して選択され、その後1対の出力回路上の4位  
置データ・セレクト・スイッチ204-8をブ  
ロック204-12の作選レジスタのいずれかに対

する選択信号は、レジスタ201-15に送出さ  
れるマイクロ命令に含まれるフィールドにより確  
定される。

図2図から判るように、各レジスタは1対の出  
力バスWRPおよびWRRに接続される。WRPバス  
は、アドレス入力204-5と、スイッチ203  
-18と、スクラッチパッド・メモリ-203-  
10に接続する。WRRバスは、Aオペランド・ス  
イッチ203-20と、Bオペランド・スイッチ  
204-1と、レジスタ204-20と、レジス  
タ204-22に接続する。WRRおよびWRPバス  
に対して接続するその選択されるレジスタは、レ  
ジスタ201-15に送達されたマイクロ命令に  
含まれる1対のフィールドにより表示される。

図2図から判るように、装置セクション204  
は、プロセス状態レジスタ204-20とプロセ  
ス制御レジスタ204-22を含む。前述の如く、  
プロセス状態レジスタ204-20は出力バス  
WRRを介してスクラッチパッド・メモリ-203  
-10からロードされる。プロセス制御レジスタ

特開 昭53-84612(17)

し、およびデータ出力レジスタ204-14に付  
して選択的に接続される。データ出力レジスタ  
204-14はプロセッサ・データ・インターフェ  
ース600の回路に接続する。

本装置の目的のために、加算/シフト装置  
204-1は機能上は公知と考えられる。又、装  
置204-1は、J・P・スタッフォード(Stafford)  
の米国特許第3,811,039号に開示される如き回  
路が、本文の適宜出願に記載された他の回路に  
開示される回路を含むものでもよい。

ブロック204-12は、命令カウンタおよび  
命令実行の間のアドレスに対して一時的記憶を  
与える4つの作選レジスタR0乃至R3を含んでい  
る。これ等レジスタは、スイッチ204-8に開  
示されたソースの内のいずれか(即ち、加算/シ  
フト装置204-1、アドレス・スイッチ204  
-6、PSR/PCR スイッチ204-24および  
スクラッチパッド・バッファ入力スイッチ203  
-18)からロードできる。ロードされるべきレ  
ジスタおよびこのレジスタのロードに必要とされ

204-22は、全ての8つの制込みレベルに共  
有な36ビットのレジスタである。

プロセス制御レジスタ204-22のビット位  
置は、下記の情報を含む。ビット位置0-8は、  
下記のものを含む異なるタイプの非マスター・モ  
ードの例外を表示する。即ち、

PCRビット位置	例外タイプ
0	動作不完了、回線ARA又はARDA 上のSIU100からの応答なし。
1	ページ・アドレスは過剰となる (キー検電)
2	ページ・アクセス障害
3	メモリに存在しないページ
4	過三操作
5	プロセス・タイマーのラン・アウト
6	オーバーフロー
7	ロック・アップ障害
8	アドレス位合せ不良

用語「過剰」は必ずしもハードウェアの発生  
を意味せず、エラー条件等を含む。

ビット位置 9～15 はパリティ・エラーの場所を識別し、ビット位置 23～26 は PNID および AID 回路から取るプロセッサ番号およびレベルを識別する。ビット位置 27 は読み込み禁止ビット位置であるが、ビット位置 28～35 は、2 進数 1 でゼロとされるとビット位置と対応するレベル（例、ビット 28 = レベル 0）における読み込みを表示する読み込み要求ビットを記憶する。ビット位置 27～35 は、出力バス WRR を介してブロック 204-12 のレジスタ・バンクからプログラム命令によりロード可能である。各レジスタ 204-20 と 204-22 の内容は、2 位置のデータ・セレクト・スイッチ 204-74 を介して 4 位置データ・セレクト・スイッチ 204-8 の位置の他の 1 つに対する入力として選択的に与えられる。レジスタ 204-20 は、2 位置の時間セレクト・スイッチ 204-10 および 4 位置のアドレス・セレクト・スイッチ 204-6 の PI 位置に接続する。

時間スイッチ 204-10 は、適正なモジュール

の 1 つのビットに対応する。メモリー・サイクルの開始前指示の開始と同時に、時間スイッチ 204-10 からの信号は、プロセッサ 200 のデータ・インターフェース 600 の適当な回路に与える時間レジスタ 204-16 にコードされる。前述の如く、別の時間情報を含む指令は、PI 指令の場合におけるアドレス・スイッチ 204-6 の位置 2 により与えられる。

又第 2 図からも判るように、記憶セクション 204 は、WRP バスに接続されたレジスタの 1 つからアドレス情報を受取るアドレス入力 204-5 を介してアドレス指定可能なスクラッチパッド・メモリー 204-4 を含む。スクラッチパッド・メモリー 204-4 は、局域メモリー・モジュール 500 をアドレス指定するための絶対アドレスを生成する機能とされる 8 つの読み込みレベルの各々に対してページ・テーブル・アドレス記憶域を有する。アドレス指定される時、スクラッチパッド・メモリー 204-4 の記憶域の内容は、アドレス・スイッチ 204-6 の 4 位置の内の 2 つ

に対して指令を記憶するのに使用される SIL

100 に対して時間情報を与える。レジスタ 204-15 に記憶されたマイクロ命令に含まれるフィールドの 1 つは、メモリー指令又は PI 指令のいずれかに対する適当な位置を選択する。メモリー指令に対する時間情報は、マイクロ命令に含まれるフィールドから、スクラッチパッド・メモリー 204-4 からのページ付加アドレス情報又はバス WRP から絶対アドレス情報と共に生成される。

R/W 指令に対しては、時間情報は以下の如く生成される。即ち、ビット 0 は R/W 指令に対する 2 進数であり、ビット 1 は局域/リモート・メモリーを規定するか PTW ビット 0（ページ付けされる）又は WRP ビット 0（絶対）に対応する。ビット 2～4 は PTW ビット 1～3（ページ付け）又は WRP ビット 1～3（絶対）に対応する。ビット 5～6 は、単精度か 2 倍精度伝送かを表示し、かつ押し出し操作か読み込み操作のサイクルかを表示するよう符号化されるマイクロ命令のフィールド

に提出される。これらの 2 つの位置は、局域メモリー・モジュール 500 のページ組合のために使用される。スクラッチパッド・メモリー 204-4 のページ付け操作は特に本明細には開示しないため、本文においてはこれ以上詳細に記さない。

アドレス・セレクト・スイッチ 204-6 の他の 2 位置はメモリー又は PI 指令を与えるために使用される。特に、レジスタ 204-15 に記憶されるマイクロ命令ワードのアドレス制御フィールドにより選択される時、アドレス・スイッチ 204-6 の位置 1 は R/W メモリー指令情報を生成し、この情報は、マイクロ命令ワードの予め定められたフィールドに従ってビット 0～8、およびメモリー 204-4 からのページ付けされるアドレス情報又はブロック 204-12 の作電レジスタにより出力バス WRP に与えられる絶対アドレス・ビットのいずれかに対応するよう符号化されたビット 9～35 を含んでいる。スイッチ 204-6 の PI 位置が選択される時、このスイッチはプログラム可能インターフェース指令ワードを生

成し、この指令ワードにおいては、ビット0は2進数であり、ビット1はレジスタ201-15に記憶されるマイクロ命令ワードのフィールドにより与えられ、ビット2はPSRレジスタ204-20のビット9により与えられ実行プロセスがあるか否かを決定し、ビット3はレジスタ204-20のビット4-7に等しくモジュール内のポート又はサブチャンネルを決定し、ビット4はSIU100により与えられるプロセッサの番号を指定するよう符号化され、ビット5は2であり、ビット9-35はPI指令の絶対アドレスに決定するバスWRPのビット9-35と等しい。

#### 図6 図1-モジュール500の構成

図6図は、本発明のシステムと、本発明の指示内容による局所メモリ・モジュール500の構成を示し、本発明を含む主要ブロックを示す。図6において、モジュール500は、図示の如く構成されたキャッシュ・ストア・セクション200-2、補助記憶装置セクション500-4、入力レジスタ

セクション500-12、記憶装置セクション500-6、出力スイッチ・セクション500-8、および出力スイッチ・セクション500-10を含むことが知られる。出力スイッチ・セクション500-10と入力レジスタ・セクション500-12は、前述の如くSIU100のスイッチを介してプロセッサPO又はマルチプレクサ・モジュール500のいずれかに接続してデータおよび制御信号を伝達し、かつこれを受取る。

図7は更に詳細に示されたカッシー・ストア・セクション500-2は、前述する制御回路500-21を有するカッシー500-23と、前述する比較回路500-24を有する記憶装置500-22と、ビット論理回路500-26を有する如く構成してなる。カッシー・ストアは、各々が製造上公知の機能のバイポーラ回路チップから構成される4つのレベル間カッシーに構成されている。各レベルは、各バイト・セクションが5つのバイポーラ回路チップを含む8つのバイト・セクションに分割される。この回路チップ

は、各々が128個のアドレス指定可能な2ビット間の記憶場所を含み、チップは合計すると64ブロックのアドレス場所から256のアドレス場所を形成し、このアドレス場所では、各ブロックは、ワードが4バイト(バイト=9データ・ビット+1パリティ・ビット)を含む4、40ビットワードとして形成される。

記憶装置セクション500-22は各カッシー・ブロックのアドレスを記憶し、同時に4つのレベルに構成される。図7図500-22は、カッシーのどのレベルが次の動作サイクルの間に与えられるべきかを決定するための増進ロビン・カウンタ(図示せず)を含む。異なるレベルのカッシーは30ビットのカウンタを決定し、カッシー・ブロックは2つのこのようなカウンタを含んでいる。記憶装置セクション500-22は、このようにカッシーに与えられるブロックを決定する複数のカウンタに分割されてゐる。本発明の目的のためには、この構成は公知と考えられ、R.E.ランジ(Lange)著の半導体第3,845,474号に開示される構成

に類似するものでよい。カッシーの動作サイクルの間、4つのバイトが8つのセクタ・回路の1つの番号を介して出力マルチプレクサ・スイッチ500-10に送られる。

この記憶装置セクション500-22はブロック500-24の比較回路にアドレス信号を与える。製造上は公知のこの回路は、要求されている情報が4つのレベルのいずれかにあるか否かに存在する(即ち、ヒットの有無)かどうかを決定するように作用する。比較回路500-24は、比較の結果をブロック500-28のビット回路に与える。このビット回路500-28は、更に、ブロック500-6の制御回路に与えられる入力として与えられるビット表示を記憶する。補助記憶装置セクション500-4は、補助記憶装置500-40と、タイミング回路500-48と、160ビットの出力レジスタ500-42と、データ訂正パリティ発生回路500-44と、ブロック500-46の多数の制御回路を第7図に示す如く構成されてなる。回路500-48はカク

シタおよび選択回路を含んでいる。これは、標準上は公知であるが、メモリー・モジュール 500-2 の全動作を説明するためのタイミングおよび制御信号を与える。

補助記憶装置 500-4 は、標準上公知の 4 K の MOS メモリー・チップから構成され、ワードが 40 ビット (32 K プロット) を有する 128 K のメモリー・ワードの容量を有する。データ訂正パリティ発生回路は、補助記憶装置 500-4 から読み出されかつこれに書き込まれるワードにかかるエラーを検出および訂正するよう作動する。本発明の目的のためには、これ等の回路は標準上公知と考えられる。

第 7 図から判るように、入力レジスタ・セクションは、ゾーン、アドレスおよび指令 (ZAC) レジスタ 500-120 と、第 1 のワード・バッファ・レジスタ 500-122 と、第 2 のワード・バッファ・レジスタ 500-123 を表示の如く組合してなる。ZAC レジスタ 500-120 は、第 8 図に示されるフォーマットを有する ZAC 指

令ワードを記憶する。入力バッファ・レジスタ

500-122 と 500-123 は、リクエスト・モジュールによりインターフェース 603 の DTM 回路に与えられる ZAC 指令のデータ・ワードを受取るように構成される。レジスタ 500-122 と 500-123 の内容は、2 つのマルチプレクサ・スイッチ 500-8 の 1 万の異なるバイトに与えられる。スイッチ 500-8 は又補助記憶装置から読み出されてキャッシュ 500-20 に書き込まれるデータを受取る。

ZAC レジスタ 500-120 の指令内容はブロック 500-6 に含まれるデコード・データ回路に与えられ、アドレス信号はブロック 500-6 の制御部と全量記憶装置 500-22 とキャッシュ 500-20 とそのアドレス指定のための補助記憶装置 500-40 とに配分される。

ブロック 500-6 の制御部は、ZAC レジスタ 500-120 に記憶された指令により指定される動作を実行するための局域メモリー・モジュールの異なる部分を条件付けるための各種の制御

およびタイミング信号を生成する。これは、それぞれ補助記憶装置 500-40 に書き込まれ、又補助記憶装置 500-40 とキャッシュ 500-20 から読み出されるデータ信号のグループを選択するため、入力マルチプレクサ・スイッチ 500-8 および出力マルチプレクサ・スイッチ 500-10 に対する配分制御信号を含んでいる。本発明の目的のためには、本気で論議される第 8 図の制御回路の、マルチプレクサ又はデータ・セレクト回路およびレジスタは標準上公知と考えられ、前述のテキサス・インストルメンツ社の文献に開示される回路図をとりつてもよい。

第 8 図は更に詳細にブロック 500-6、500-21、500-26 および 500-46 の詳細図のあるものを示す。図面において、ブロック 500-6 の制御部は制御用の AND/NAND ゲート 500-60 乃至 500-74 を含んでいる事が判る。ゲート 500-60、500-61 および 500-62 は、ZAC レジスタ 500-120 から ZAC 指令ビット信号およびキャッシュ・パイバ

ス信号の異なるものを受取るよう構成されている。これらの信号は表示の如く組合せられ、ゲート 500-64 と 500-74 に与えられる。その結果得た読みロードおよび読み込みロード指令信号は、キャッシュ制御回路 500-21、全量記憶制御回路 500-26 および補助記憶装置制御回路 500-46 に表示の如く与えられる。RCL000 および RR100 の如き他の指令信号も又補助記憶装置 500-46 に与えられる。

第 9 図から判るように、キャッシュ制御回路 500-21 は、書き込みクロック制御回路 500-214 に対して書き込みキャッシュ・タイミング信号を与える並列構成された NAND/AND ゲート 500-210 と 500-212 を含んでいる。書き込み回路 500-214 は、標準上公知の制御ゲート回路を含み、この回路は書き込み操作サイクルの進行に必要とされるキャッシュ 500-20 に対して必要なタイミング信号を与える。更に、制御部は、補助記憶装置 500-40 からデータのブロックをキャッシュに書き込むために必要とされる

ようなアドレス・ビットを2の桁数を修正するよう作用するAND/ANDゲート500-216乃至500-222を更に含む。

同様に、分岐制御回路は、直列接続されたAND/ANDゲート500-260、500-262、500-264を含み、この最後のゲートは導込み制御回路500-264に導込み制御タイミング信号WRDR100を与える。この導込み制御回路500-266は導込上は公同の論理ゲート回路を含み、この回路は導込み動作サイクルの実行に必要な分岐制御信号500-222に対して導込タイミング信号を与える。

導込制御信号回路500-46は、直列接続されたAND/NANDゲート500-460乃至500-468を含んでいる。これらゲートは導込制御信号要求信号BSREQ100および制御ゲート信号を生成して導込制御信号の導出し導込み動作サイクルを開始すると共にSIU100に対する導込制御信号データの転送を許可する。

第8図の最後の回路グループは第7図のビット・

特開53-84632(21)

レジスタ回路を構成する。この回路は示すように導込されたANDゲート500-281の後にNAND/ANDゲート500-280と500-282を含む。このNAND/ANDゲート500-280は、比較回路500-24からその両方の元取信号を受取り、ゲート500-282に対して分岐制御信号の表示を与える。ゲート500-282の出力は更にビット・レジスタ・フリップフロップ500-284のセット入力端に与えられる。NAND/ANDゲート500-284は、フリップフロップ500-284のリセット入力端を導込しかつこれに与えるSIU100からの受入れZAC信号を受取る。フリップフロップ500-284からの2進数1および零の出力信号は、その後第8図に示された論理ブロックの異なるものに配分される。

システム・インターフェース回路100の構成

#### 導込みセクション102

システム・インターフェース(SIU)100は、前述の如く、複数のクロスパーク・スイッチを介

して第1図のシステムの名モジュール間の通信を行う。モジュールの各インターフェースの回路から信号を導出するため複数のクロスパーク・スイッチが使用される。第3図は、モジュール導込みインターフェースを形成するための導込みセクション102のスイッチおよび回路を示す。第1図のシステムにおいては、その各々がその導込みインターフェース602の各回路を介してSIU100に与え信号を与えるポートLMO、A、E、GおよびJに接続するモジュールがある。更に、SIU100は又第1図のポートLと関連する導込みインターフェースを介して信号を与える。

第3図から明らかなように、サービスを要求する各モジュールは、導込み優先順位および制御ブロック101-2の論理回路に与えられるそのIDA回路における導込み識別子情報と共に、その導込み要求(IR)回路に信号を与える。ブロック101-2の論理回路は、全ての導込みインターフェースをモニターし、実行中のプロセスよりも高の優先順位を有する要求がある時、プロ

セサ200に対応する導込プロセサに信号する。プロセサ200がこの要求を受け入れる事ができる。信号を信号する時、SIU100は、導込優先順位の要求と関連する識別子情報をプロセサ200に対してゲートする。この識別子情報は、パリティ・ビットを含む8ビットの導込み制御ブロック番号と、3ビットの導込みレベル番号と、パリティ・ビットと4ビットのチャネル番号を有する1ビットのプロセサ番号を含んでいる。

更に詳細に導込みセクション102について考慮すれば、ブロック101-2の導込回路は、プロセサ番号および導込み要求信号を復号するデコード回路を含んでいる。パリティ・エラーがなければ、デコード回路からの出力信号は表示されたプロセサの論理回路の優先順位論理回路に与えられる。この優先順位論理回路は、導込みレベル番号を復号し、最優先レベルを決定し、次にポートの優先順位を決定しその結果最優先順位レベルと最上位のポート順位を有するモジュールが選択される。与えられたレベルにおける導込み

ポート番号は下記の如くである。

オールド：ポートL：ポートA、ポートB、ポートC：ポートD：ポートE：ポートF、ポートG：ポートH：ポートJおよびポートK。

この事は、第1図のシステムにおいては、実行プロセスのポートが優先順位を有し、これに就いてSIU100、高速マルチプレクサ300、上位プロセッサ700、プロセッサ200、および低速マルチプレクサ400となる事を意味する。

ブロック101-2の優先順位回路は、n個の二重回路の1つに出力信号を生成するように作動する。但し、nはシステム内の前送みモジュールの数である。n個の出力回路は、レジスタ101-6にロードされるべき現在進行中のレベルより高い優先順位を有する前送みレベルの前送みレベル番号を選択する8ビットのデータ・セレクタ・スイッチ101-4に見える。レジスタ101-6からの出力信号は、高レベル前送み存在(HLIP)回路又はレベル存在(LZP)回路の前に2進数1に強制するSIU100に送付してプ

ールにより生成され、本文に記述するように本図によりソース・モジュール内のサブチャネル又はポートを識別する。

ブロック101-2の回路の構成に就いてこれ以上の詳細を記述すれば、本文の簡潔な構成に相対して「電圧降下前送みハードウェア」なる名称の係数中の本図等許出典を参照されたい。

又、前送み優先順位回路101-2からの出力回路は別のデータ・セレクタ・スイッチ回路101-8に見える事も判るであろう。最優先順位を有する要求者のモジュールのみがセレクタ回路101-8に信号を伝えるため、セレクタ回路は、優先順位を伝えられた要求者のモジュールが選択する宛先ポート（即ち、前送みワードのビット28-31）を識別する予の定められたワイアード・イン・セノットの符号化信号を伝えるように作動されている。

要するに本図の構成においては、下記の時間ワードが第1図のモジュールの識別のその生成される。即ち、

特開第53-84632-22  
ロセッサ200がIDR 回路を2進数1に強制する時、AIL 回路に見える。実行プロセスが前送みを要しない場合、前送み要求はプロセッサ200に実行プロセスを中断させ、前述の識別子情報を含むSIU100からの前送みワードを受入れさせる。更に、この前送みワードは下記の如く符号化される。即ち、

ビット0は新たな前送みビット位置である。2進数1にセットされる時は前送みが新しいものである事を示し、2進数0にセットされる時は前送みが再送されるべき前送み前送みが行われたプロセスでの前送みであることを示す。

ビット1-17は使用されず、2進数0である。

ビット18-27は前送み制御ブロック番号を指定し、ビット18と27は2進数0にセットされる。

ビット28-31はSIU100により生成され、本図明により本文に説明するようにソース・モジュールを識別する。

ビット32-35は多重ポートを有するモジュ

ワード	識別されたSIUポート(モジュール)
0000	局域メモリー・モジュール-ポートLMO
0001	ポートK
0010	SIU100-ポートL
0101	低速マルチプレクサ400-ポートJ
0110	プロセッサ200-ポートG
1101	高速マルチプレクサ300-ポートA
1110	上位プロセッサ700-ポートE

セレクタ回路101-8により生成された4ビット・ワードは、更に、ゲート回路101-12に含まれる公知のANDゲート回路のグループに見える。そのソース・システムにより与えられた他の識別子情報は又回路101-12の他のゲート回路に見える。特に、各モジュールは、前送み制御ブロック番号(ICBN)をそのIDA 回路を介して8ビットのデータ・セレクタ・スイッチ回路101-14の別の1つの位置に見える。更に、各モジュールは、ソース・モジュールの要求者のサブチャネル又はポートを識別する情報

を前記インターフェースの INID 回路を介して同路網 101-12 のデータ回路の別のものに見える、プロセッサ 200 がその前記データ要求 (IDR) 回路を 2 進数 1 に強制する時、SIU 100 はデータ同路網 101-12 からの信号を、4 位番のデータ・セレクタ・スイッチ回路 101-20 の位番の 1 つを介してプロセッサのデータ・インターフェース 600 の SIU (DFS) バス回路からのデータに見える、スイッチ 101-20 の他の位番は、二進数の回路に接続しないことを示さぬ。

#### データ転送セクション 102

第 3 の図はシステム・インターフェース 100 のデータ転送セクション 102 を示す。このセクションは、どのソース・モジュールがそのプログラム回路インターフェース 601 上の高速度マルチプレクサ 300 に指令を送信するか、又どのソース・モジュールがそのデータ・インターフェース 600 上のマルチプレクサ 300 に対してデータを送信するかを決定する優先順位回路を含んでいる。更に、セクション 102 は、どのソース・モ

ジュールがデータ又は指令のいずれかを制御・メモリ・モジュール 500 に転送しているかを決定する優先順位回路を含んでいる。

1 番のモジュール間の転送は一方のモジュールが他方のモジュールに対し要求を生じた時に生じ、又この要求は他方のモジュールにより受け入れられた事が判るであろう。要求が受け入れられたのは、要求側のモジュールは優先順位を得たはず、他方のモジュールは情報を受取る状態にならなければならない、転送が生じる転送経路が使用可能 (即ち使用でない) でなければならない。

プロセッサ 200 によりセクション 102 に見える信号に関しては、これら信号の発生は大きな割合で第 2 図のプロセッサ・レジスタ 201-15 に読出されるマイクロ命令の異なるフィールドにより左右される。例えば、ブロック 102-4 の同路網に見えるプロセッサ 200 からの活動出力ポート要求 (AOPR) は、読出し/書き込みメモリ又はプログラム可能インターフェース指令の転送を規定するよう符号化されるレジスタ 201-

15 に読出されたマイクロ命令の SIU 要求タイプ制御ビット・フィールドに従って使用可能の状態となる。2 位番のデータ・セレクタ・スイッチ 102-2 に見えるプロセッサ・データ・インターフェース 600 の前 SIU データ回路 (DTS) は、第 2 図のプロセッサのデータ出力レジスタ 204-14 にロードされるマイクロ命令制御下で生じる指令情報を生成する。前 SIU 伝送データ (SDTS) 回路は、第 2 図のプロセッサ制御レジスタ 204-16 にロードされるマイクロプログラム制御下で生じた信号を受取る。

第 1 図のシステムに於いては、I/O プロセッサのみがマルチプレクサ 300 のみに指令を送信し、プロセッサ 200 が同路網 102-4 に信号を見る。従って同路網 102-4 はデコード回路を含み、この回路はプロセッサ・モジュールがマルチプレクサ 300 に対して指令の転送を受ける地点を決定する。プロセッサ・モジュールからの伝送情報を検出する。1 つ以上のモジュールが同一のマイクロ命令に転送を受ける時、1 つ以上の I/O プ

ロセッサの場合には、同路網 102-4 に見える優先順位回路は、優先順位を割当てられたモジュールを選択し、そのプログラム可能インターフェース 601 の DFS 回路上のマルチプレクサ 300 に対する前記モジュールによる指令の転送を可能にする。更に、同路網 102-4 は、通常のモジュールからの信号を選択する 2 位番のセレクタ・スイッチ 102-2 に信号を見る。この状態は、マルチプレクサ 300 が PIR 回路を 2 進数 1 に強制する事により指令を受け入れる用意がある事を SIU 100 に対して信号する時に生じる。同様に、同路網 102-4 は APC 回路を 2 進数 1 に強制してマルチプレクサ 300 に対し DFS に見える指令を受け入れる事を信号する。プロセッサ 200 がマルチプレクサ 300 に対してプログラム可能インターフェース (PI) 指令を送る命令を実行する時、プロセッサ 200 は指令のビット 3 にプロセッサ番号の識別を置く。マルチプレクサ 300 は、プロセッサ番号が前述の如く前記データの一環として含まれる前記要求を前

る事を欲する送指令に含まれるプロセッサ番号を記憶する。PI 指令がマルチプレクサ300に到達される時、リクエストとしてプロセッサ200を識別する送指令はマルチプレクサ300(ポートA)に到達するレジスタ102-6に記憶される。前述の如く、マルチプレクサ300がSIU100に対する読出しデータ転送要求を生じる事により応答する時、レジスタ102-6の内容はデータを受取るための装置のモジュールとしてプロセッサ200を識別するのに使用される。

要するに、送指令がデータ番号をマルチプレクサ300に転送するために使用される。第1図においては、メモリ・モジュール500は、データをマルチプレクサ300に転送する唯一のモジュールである。このような転送は、前述の如く回路網102-20を介してマルチプレクサ300によりメモリ・モジュール500に到達される読出しメモリ指令(ZAC)に宛答して生じる。マルチプレクサ300が指令を認識する時、SIU100は、マルチプレクサ300から受取るマルチポー

ト識別子情報に宛答する適當な4ビットのリクエスト識別コード(場合コード)を生じる。この情報は、メモリ・モジュール500により記憶され、モジュール500が読出しデータ転送要求を生じる時SIU100に送られて、マルチプレクサ300がデータを受取る。又、SIU100が要求を受入れる時、これは回路網ARDAを2進数1に強制する事によりマルチプレクサ300に通知する。

読出しデータ転送要求(RDTR)回路は、メモリ・モジュール500によりコントラクトされる時、回路網102-14に対して1操作サイクルの間読出された情報を転送する機能がある事を信号する。局内メモリ・モジュール500は又、信号をメモリからのリクエスト識別子(RIFM)回路に与えて、情報が転送されるべき要求部のモジュールを識別する。

更に、デコード回路網102-14内装の回路網はRIFM 回路に与えられた識別信号を復号し、局内メモリ・モジュール500が情報をマルチ

プレクサ300に転送する機能がある(マルチプレクサ300は情報を受取る機能があるものとする)事を信号が表示する時、デコード回路網102-14は適當な信号をセレクタ・スイッチ102-12およびゲート回路網102-16内装の回路網に与える。

更に、デコード回路網102-14はデータ・インターフェースの読出しデータ受入れ(ARDA)回路に信号を与えて、マルチプレクサ300に対してこれがそのインターフェース600のSIU(DFS)回路からのデータを受入れる事を信号する。プロント102-16の回路網はSIUからのマルチポート識別子(MIFS) 信号に対して適當なマルチポート識別子情報を与えて、RIFM回路から与えられる要求部のサブチャンネルを識別する。転送が生じると、回路網102-14はRDAA回路を2進数1に強制して、データがメモリ・モジュール500により受入れられた事を要求部のモジュールに信号する。

回路網102-14に強制した構成をSIU100

に用いて第1部のモジュールのどれかからのPI 指令およびメモリ指令を局内メモリ・モジュール500に転送する。モジュール500は、プログラム可能インターフェース又はメモリ指令のいずれかを受入れる用意のある時、デコード回路網102-20に与えられるプログラム可能インターフェース要求(PIR) 回路又はZACインターフェース要求(ZIR) 回路のいずれかを2進数1に強制するように作用する。更に、プロセッサ200、プロセッサ700およびマルチプレクサ300は、回路網102-20の信号を活動出力ポート要求(AOPR)に、又換言データをその々のデータ・インターフェースのSIU回路に与える。回路網102-20は、各モジュールにより与えられる送指令の復号と同様に、メモリ・モジュールのデータ・インターフェース600のPI SIUデータ転送回路に対して信号を最優先順位を有するモジュールに与えさせるための3位重のセレクタ・スイッチ102-24に適當な信号を生じるよう作用する。又、ゲート回路網102-26



を介して記憶メモリ・モジュール・インターフェース603の記憶メモリ要求制御子(RITM)回路上の通常のリクエスト識別信号と共に、プログラム可能指令受入れ(APC)回路又はZAC指令モード受入れ(AZC)回路のいずれかに対して回路102-20が信号を伝える事も判らう。

最後の2つの回路102-30および102-40は、それぞれプロセッサ200により形成生成されたメモリ指令およびPI指令に基いて、メモリ・データおよびプログラム可能インターフェース・データをプロセッサ200に対して伝送するために使用される。第3図から判るように、優先順位デコーダ回路102-50は、回路102-14と同じ入力回路を有し、同じ方式で第3図のデータ・セレクト・スイッチ102-32と4位置セレクト・スイッチ101-20を介して要求されたメモリ・データをプロセッサ200に前送りするよう作動する。プロセッサ200は同時に1つの指令を処理するため、プロセッサ要求に基いてプロセッサのDFS回路に伝送するた

めにデータをセレクト・スイッチ101-20に与えるモジュール間には競合が生じない事が判らう。即ち、プロセッサ200が第1図のモジュールの1つに指令を送つた後、その指令は実行されて要求されたデータの受取りを促す。SIU100は、プロセッサの要求の受入れと同時に、プロセッサに逐次動作を管理するプロセッサのARA回路を制御する。

別の回路102-40は、PI指令に基いてモジュールからの戻りデータ要求を処理する。回路102-40は、指示しないでのモジュールのレジスタと共にレジスタ102-6からRDRH回路に与えられる信号を処理する。モジュールが要求されたデータをプロセッサ200に送るうとしている第1図、マルチプレクサ300のレジスタ102-6に記憶されたリクエスト制御子をSIU100が検出する時、回路102-40は、プロセッサ200に対して要求されたデータを戻せうとするモジュールのPIインターフェースのPDTS回路からの信号を伝えるよう3位置データ・

セレクト回路102-42を条件付ける信号を生じる。これら信号は、更に、モジュール要求信号により条件付けられる第3図のセレクト・スイッチ101-20を介してプロセッサのDFS回路に与えられる。次の動作サイクルの間、回路102-40はRDAA回路を2進数1に強制し、PDTS回路に与えられたデータが受入れられた事およびモジュールがこの時どのようなデータを送出(その出力レジスタをクリア)できる事をモジュールに対して信号する。このように、スイッチ101-20は3つカタイプのデータのどれでもプロセッサのデータ・インターフェース600のDFS回路に選択的に与える事が判る。

本発明の目的のために、第3図の各ブロックに内蔵される回路は、概略上は公知と考えられ、テキサス・インスツルメンツ社の前記文献に見られる回路図を省いてもよい。又、本発明の目的のために、図4回路図は公知のクロスバー・スイッチでもよい。

#### 高速マルチプレクサ300

##### 共通セクション

第4図は更に詳細に共通セクション301とチャンネル・アダプタ・セクション302の一部を示す。第4図において、共通制御セクションは、2位置データ・セレクト・スイッチ301-1を経てマルチプレクサのプログラム可能インターフェース601のPDFS回路を介して受取ったPI指令のワードを記憶するための1桁のレジスタ301-2と301-5を含んでいる事が判る。スイッチ301-1は、別の回路(即ちDFS回路)からのPI指令信号をレジスタ301-2と301-5にロードさせる。然し、望ましい実用態様においては、PDFS回路のみを使用する。又、レジスタ301-6はドライバ回路301-3を介してインターフェース600のマルチプレクサ・データのDFS回路に与えられたメモリ・データを受取る事も判る。

当レジスタ301-2と301-5から共通信号は、ブロック301-8のドライバ回路を介

して4つのチャンネル・アダプタ・セクションの2位置データ・アダプタ・スイッチ301-6を経て選択的に与えられる。又、指令信号は、2位置データ・セレクト・スイッチ301-42を介して8位置データ・セレクト・スイッチ301-20の1位置に選択的に与えられる。同じスイッチ301-42も又、レジスタ301-40からブロック301-43のドライバ回路を介して4チャンネル・アダプタ・セクションの各々にデータ信号を与える。

1次のパリティ検査回路301-45と301-49は、レジスタ301-2と301-5と301-40の内容に対する検査を行い、その結果を表わす信号をCスイッチ301-50に与えられる状況信号を生じるブロック301-4の論理回路に与える。これ等の回路は構造上は公知の論理回路をきみ、この回路はレジスタ301-2からの信号をチャンネル・アダプタ・セクションからの信号と合成して、プロセッサ200から受取る指令を実行するのに必要な制御信号を生成する。

14ビットの読み込みデータ(IDA)レジスタ301-22に選択的に接続される。ブロック301-12の24ビット・レベル・レジスタの各々のグループのビット位置は、8位置のマルチプレクサ選択スイッチ301-26乃至301-28の別の1つで指定する位置に与えられる。又、ブロック301-12の各レベル・レジスタは、4位置セレクト・スイッチ301-30と8位置セレクト・スイッチ301-32の異なる位置に接続する事も出来るであろう。又、ブロック301-14の8ビット・マスク・レジスタの各々は、4×8セレクト・スイッチ301-32の異なる位置と、ブロック301-34の読み込み許可優先順位およびタイプ選択回路に接続する事も出来る。

図4又から見るように、ブロック301-34の回路は、チャンネル・アダプタに提供されたコントローラ・アダプタにより与えられる読み込み信号線に、チャンネル・アダプタから読み込み要求信号線を受取る。更に、各チャンネルは4つの異なるタイプの読み込み要求を生成する。

更に、レジスタ301-5からの信号は、ブロック301-8、301-15および301-16のドライバ回路を経てブロック301-10、301-12および301-14の複数のレジスタの選択された1つにロードし通る。ブロック301-10は、構造上は公知であり、前記のキャパシタ・インストルメンツ社の文獻(例、TI7481)に開示されたレジスタを型取りする4つの8ビット・レジスタからなる。これ等レジスタの各々からの出力信号は、4位置セレクト・スイッチ301-30と8位置セレクト・スイッチ301-32からの指定する信号と共に、セレクト・スイッチ301-20の読み込み位置に対して入力として選択的に与える事ができる。チャンネル・アダプタ・セクションのICB、レベルおよびマスク・レジスタの内容は、P1指令に応答してテストおよび検査動作の實施中に読出す事ができる。

更に、ブロック301-10の読み込み制御ブロック・レジスタは、読み込みレベル優先順位回路301-24により生成された信号に依るして

これは、開示しない奇奇状況レジスタ内のパリティ・エラー・インジケータ・ビットのセットイングにより生じる読取読み込みを含み、前記レジスタは、ブロック301-4の一環、データ制御ワード(DCW)読み込み、プログラム可能読み込み、および読取指令等の読出により生じる例外読み込みとして考える事ができる。読取読み込みは、4つの全てのチャンネルに対して同じであるブロック301-34に対して1つの入力を有するように各チャンネルに共通とされている。

各コントローラ・アダプタも又、アダプタに接続された装置のタイプに依存する4つの異なるタイプの読み込み要求を生じる。ディスク装置の場合に、読み込み要求のタイプは下記のものを含む。即ち、パリティ・エラーの読出により生じる読取読み込み、回転位置を通知する読み込み、データ読取終了読み込み、およびシーク操作の追加オフ・ライン操作の完了により生じるオフ・ライン読み込みである。この4タイプのチャンネル読み込み要求および4タイプのCA読み込み要求は、一緒に信号EVO

乃至 EV7 と表わされる CA チャンネル毎に 8 タイプのグループを有する。各タイプの組込み要求は、4 つのチャンネル・タイプの組込み要求が EV0 ~ EV3 に対応する 0 ~ 3 の番号を付し、4 つのコントローラ・アダプタ・タイプの組込み要求が EV4 ~ EV7 に対応する 4 ~ 7 の番号を付されるように 3 ビット・タイプの番号が割当てられている。最下位のコードを有する番号は、最優先順位を有する（例えば、0000 = 最優先順位 = EV0 = 海軍組込み、1111 = 最優先タイプ = EV7 = マフ・ライン組込み）。異なるタイプの組込み要求の優先順位は決定され、タイプ番号により決定される。各チャンネルは、ブロック 301-4 により与えられる共同署名入力と共に、ブロック 301-34 に対する 7 つの組込み要求入力を有する。

ブロック 301-34 内の組込みは、ブロック 301-14 のマスク・レジスタの各々からの信号を、各チャンネルおよびアダプタからの組込み要求信号と論理的に合成し、各チャンネルに対す

る最優先順位を有する組込みタイプを選択する。各チャンネルに対する 3 ビットのタイプ・コードは、マルチプレクサのマルチ・アドレス 301-25 の至 301-29 の対応する 1 つに与えられる。ブロック 301-34 により生成されたタイプ・コードの値も又、4 位置のレベル・タイプ・セレクタ・スイッチ 301-35 の位置で決定するものに対して入力として与えられる。

各マルチプレクサ回路 301-25 の至 301-29 は、ブロック 301-34 の信号線により使用可能に与えられるとすると、組込みレベル信号線回路は 301-24 に対する入力として適切な 3 ビットのレベル・コードを有する。回路 301-24 は 1 桁の回路に信号を主じ、この回路は、ブロック 301-10 の ICB レジスタ 4 に対する制御入力として、スイッチ 301-35 と、4 桁の組込みマルチポート識別子 INID スイッチ 301-36 を接続する。回路 301-24 により生成された信号は、最優先順位を有するチャンネル又はポートを表示する。1 つ以上のチャ

ンネルが同じ優先順位を有する場合には、回路 301-24 の信号線は最下位のチャンネル番号を割当てられたチャンネルを選択する（即ち、CA0 = 00XX = 最優先順位、CA3 = 11XX = 最下位番号）。コントローラ・アダプタがサブ・チャンネル又はサブポートを有する場合、CA1 からの 1 桁の信号はスイッチ 301-36 の下位の 2 ビット位置に信号を有する。スイッチの上位の 2 ビット位置は、対応するチャンネル・アダプタ番号（例えば、00 = CA0、等）を優先的に有する。スイッチ 301-36 の出力は、図 4 に表示される如く INID レジスタ 301-23 に与えられる。

ブロック 301-10 の選択された ICB レジスタからの出力信号、選択されたマルチプレクサ回路からのレベル信号、およびブロック 301-34 からのタイプ信号は、IDA レジスタ 301-27 内で合成される。又、これらの信号は、レジスタ 301-22 に記憶される信号に対する 1 桁の共同パリティ・ビットを生成するブロック 301-

37 のパリティ発生回路に与えられる。レジスタ 301-22 の一桁と与えられる如くフリップフロップ 301-21 は、ブロック 301-34 の信号線から信号を受取り、組込み要求の存在を表示する。

図 4 図から明らかなように、ビット・レジスタ 301-40 に記憶されるデータ番号は、2 位置データ・セレクタ・スイッチ 301-42 の H レジスタ位置を介して 2 桁のチャンネル組込み (CW) スイッチ 301-44 に与えられる。スイッチ 301-44 の第 1 の位置は、セットされる時、ブロック 301-48 の優先順位選択制御回路により生成される信号に寄って選択された 4 グループのチャンネル・アダプタ・ポート・レジスタ 301-46 の 1 つをロードする。レジスタ 301-2 と 301-48 および表示したチャンネル・アダプタからの信号を受取るブロック 301-48 の回路は、出力信号を識別および出力レジスタ 301-45 に与える。グループ 301-46 のレジスタは、関連するポートのリスト・ポイン

ワード(LPW)を記憶するための40ビット・レジスタと、格出し又は記憶されるべきデータのアドレスを記憶するための40ビットのDAレジスタと、現行データ転送操作に関するエラーおよび制御情報を記憶するための40ビットのレジスタDTを含む。4つのチャネル・アダプタ・セクションの各レジスタは、ブロック301-48の制御部から制御信号を受取る4つのデータ・セレクタ・スイッチ301-50の各なる位置に接続する。スイッチ301-50からの制御信号は、エラーを求めて内容を検索するための使用するパリティ検査回路301-56に加えて、1つの双重回路301-52と301-54に与えられる。双重回路301-52はスイッチ301-50を介して選択されるレジスタの内容を更新するよう作用するが、双重回路301-54はデータ信号をパリティ検査回路301-58に与える。回路301-52と301-58からの信号は、スイッチ301-44の更新回路制御信号を介して選択されたレジスタに与えられる。

各信号、PIデータ信号およびチャネル・アダプタ・データ信号を記憶する。これらのレジスタからの出力信号は、マルチプレクサのデータ・インターフェース600のDTS回路又はマルチプレクサ・インターフェース601のPDTS回路のいずれかに与えられる。ブロック301-64のZACレジスタがロードされる時、この状態はAOPRトリップフロップ301-65を2進数1に切換えさせて、マルチプレクサはメモリ・(ZAC)信号およびデータの転送が可能な状態を要求している事をSIU100に信号する。スイッチ301-50を介して与えられる或るメモリ・転送情報はレジスタ301-60に記憶され、パリティ検査回路301-66は検出情報のための新設パリティを発生するよう作用する。

#### 作用例

本発明のシステムの作用については、第1図乃至第11図を参照して以下に説明する。簡単に説明すれば、モジュール500は、以下の如く構成される5つの異なるタイプのZAC指令の処理が可能

である。図4図から明らかなように、スイッチ301-50の出力信号は、検出スイッチ301-50を介して8ビットの検出レジスタ301-60と、DTスイッチ301-70に与えられる。データ・セレクタ・スイッチ301-50と301-61の各々は、前述のソースに与えるチャネル・アダプタ・セクションCA0~CA3のDF回路からデータ信号を受取るように接続されるDTスイッチ301-70からの出力信号を受取る。DTスイッチ301-70とZACスイッチ301-61からの出力信号は、パリティ検査回路301-62とブロック301-64のレジスタ・バンクに与えられる。更に、スイッチ301-61は、マルチプレクサ300が本発明と関連のないモードで動作される時、ブロック301-44に与えられるチャネル・アダプタ・サービス回路から与えられるゾーンおよび指令情報を受取るように接続されている。それぞれZAC、PDTS、データ1、データ2と表示されるブロック301-64の4つのレジスタは、メモリ・指

である。即ち、

#### 1. 格出し操作

アドレス指定されたメモリ・ロケーションの内容(1ワード)が格出されてリクエストに与えられる。メモリ・内容は変更されない。ZACビット0はカッセンがロードされるかバイパスされるかを検出する。もしこのブロックが既にカッセン内でロードされていれば、格出しサイクルがカッセン内で行われ情報がカッセンから格出される。

#### 2. 格出し/クリア操作

アドレス指定されたメモリ・ロケーションの内容(1ワード)が格出されてリクエストに与えられる。メモリ・の場所(1ワード)は真正なパリティ(即ちEDAC)ビットで常にクリアされる。アドレス指定されたワードを含むデータ・ブロックはカッセンにロードされない。もしこのブロックが既にカッセンに於いてロードされていれば、アドレス指定されたワードも又カッセン内で常にクリアされる。

## 3. 読出し用指令

メモリー・場所(2ワード)のアドレス指定された時の内容が読出されてリクエスト・ワードに返送される。メモリー・内容は変更されない。ZACビット9は、カッシーニがコードされるかパイパスされるかを決定する。然し、もしこのブロックが既にカッシーニ内でコードされていれば、読出し・サイクルがカッシーニ内で行われ、増幅がカッシーニから取出される。

## 4. 書き込み用指令

リクエストにより与えられるデータ・ワードの1乃至4バイトはアドレス指定されたメモリー・場所に記憶される。記憶されるべきバイトはゾーン・ビットで指定される。ゾーン・ビット5、6、7および8はそれぞれバイト0、1、2および3を制御する。記憶されないバイト位置のメモリー・内容は変更されずに止まる。

## 5. 書き込み用指令

リクエストにより与えられる2つのデータ・ワードは、アドレス指定された時のメモリー・場所

に記憶される。

最たるZAC指令に対する特定のコードは下記の如くである。他の可能な11のコードが適宜として決定され、本文に述べるようにエラー・信号を生じる。

指令	ゾーン	カッシーニパイパスビット	
1 2 3 4	5 6 7 8	9	
0 0 0 0	0 0 0 0	1/0	読出し用
0 0 1 0	0 0 0 0	-	読出し・クリア用
0 1 0 0	0 0 0 0	1/0	読出し用
1 0 0 0	1 0 0 0	-	書き込み用(ゾーン化)
1 1 0 0	1 1 1 1	-	書き込み用

例えば、対P0のプロセサ200の一方が局外メモリー・モジュール500の照合を指定する一連のプログラム命令の実行を開始するよう作用するものとしよう。この場合、最初の命令と次の命令は、増幅値を記憶する汎用レジスタを指定する少なくとも1つのフィールドとアドレス・シラブルを含む別のフィールドを含むように書式化される。汎用レジ

スタの増幅値の内容は、増幅値にセットされたものと保存されるパイパス・ビット9の状態を決定する。プロセサ200はこの情報を合成して絶対アドレスを生じる。

絶対アドレスが一たん計算されると、プロセサ200は、所要のメモリー・指令ワードと、局外メモリー・モジュール500に対して指令を指問するための適当なSIU・換間情報を生じる。この換間情報と指令は、図9図に示すフォーマットを有する。

前述の事について更に詳細に考察すれば、各命令のOPコードは、ZAC指令の生成により導かれるメモリー・命令性を指定するよう符号化される。第1の命令のOPコードは、命令レジスタ・スイッチ202-4によりメモリー・場所の1つを照合させるメモリー・201-2に与えられる。場所の内容は、レジスタ201-4に送達され、命令処理に必要なマイクロ命令・シーケンスの制御スタ201-1における記憶アドレスを指定する1対のアドレスを含む。

現行命令の実行中に開始する命令処理の最初の増幅値、次の命令の増幅値は、スイッチ203-14の位置3(即ち、Lev. NR1)を介してスクラッチパッド・メモリー・203-10の汎用レジスタの場所の指定された1つをアドレス指定するために使用される。この場所の内容はパシファ203-16に排出される。

増幅レジスタの内容は、スイッチ203-20の位置0を介して加重回路204-2のAオペランド入力に与えられ、命令の定数フィールドはスイッチ204-1の位置0を介して加重回路204-2のBオペランド入力に与えられる。この2つで一様に加重され、その結果はスイッチ204-8を介して作数レジスタR2に転送される。指定された増幅の第2のレベルが存在する時、第2の汎用レジスタの場所に記憶された増幅をレジスタR2における前に記憶された増幅に加重する同様な操作が行われる。ビット9に対する適当な増幅が、第1の汎用レジスタにおけるよりも第2の汎用レジスタにおいて記憶され得る事が容易に判る。

である。

命令の執行時の間、プロセッサ200は、出力し動作を指示する局用メモリ500に対してZAC指令を生成するよう作動し、メモリ204-4又はR2レジスタのいずれかから与えられる番地なメモリ・アドレスを与える。絶対アドレスを生成すれば、レジスタR2からのアドレスはWRPバスに与えられ、アドレス・スイッチ204-6およびクロス・バー・スイッチ204-8のR/W位置を介してデータ・アウト・レジスタ204-14にコードされる。

絶対スイッチ204-10は、メモリの動作サイクルに対してSIU動作時間を与える。信号は第9図のフォーマットを有し、R/W指令を局用メモリ・モジュール500又は、モジュール500が接続するポートLMOに転送するためSIU100により使用される信号を与える。これはマイクロプログラムの制御下にあつて、レジスタ201-15から、交換用スイッチ204-10のR/W位置を介してアドレス・スイッチ204

1-5から時間レジスタ204-16のビット位置7-8にコードされる。

マイクロ命令フィールドの符号化、および時間情報の生成に關するこれ以上の詳細については、「バス・タイミング・システム」および「メモリ・アクセス・システム」なる名称の係属中のマニュアルを参照されたい。

レジスタ201-4と204-16のコーディングに於いて、プロセッサ200はAOPR回路を2進数1に強制し、この状態がR/W指令を局用メモリ・モジュール500に転送するための信号・ケルスを生成する。又、プロセッサ200は命令カウンタ(IC)を増分し、その結果を作動レジスタR3に記憶する。次にプロセッサ200は、ARA回路を介して要求の受入れを表示するSIU100から信号を受取る迄次のマイクロ命令の執行を遅延させる。

SIU100は、1次のSIUサイクル、即ちデータ・サイクルが終くアドレス/指令サイクルを要求する如くR/W指令を喚起する。局用メモリ

モジュール500が指令の受取りの用意があるものとすれば、ZIR回路は2進数1である(第11図において、字形は負の論理信号の形形で示される)。第3b図のSIU信号状態図回路102-4は、SIUセレクト・スイッチを介して指令ワードを動作サイクルの間局用メモリ・インターフェース602のDTM回路に押し入れるよう作動する。プロセッサ200は、SIU100がARA回路を2進数1に強制する迄、データ・アウト・レジスタ204-14に情報を保持して待機する。同時に、SIU100はAZC回路を2進数1に切換えて、R/W指令の受入れをモジュール500に対して信号する(第11図参照)。

ARA回路における状態つで他の信号と互換に、プロセッサ200はマイクロ命令の制御下で命令の処理を完了する。即ち、プロセッサ200は、要求されたデータ・ワードが前述の如くSIU100から受取られる迄待機する。

ここで、メモリ・指令は出力し動作を指示するよう符号化され、バイパス・ビット9はカッ

スエ500-20がバイパスされないがロードされる(即ち、ビット9=0)事を指示するよう符号化されるものとする。前述の如く、ビット9の状態は押出し指令および押し戻指令の場合にカッスエ500-20のローディングを制御する。

第11図および第7図においては、ZAC指令ワードの指令およびアドレス・データが、時間1T(即ち、システム・クロック・パルス1Tが2進数1から2進数2に切れる時の後縁)におけるAZC回路からの信号AZC100に正答してZACレジスタ500-120にロードされる事が判る。ZACレジスタ500-120に記憶されるDTM信号17-33からのアドレス信号は、第7図に示す如く、登録用記憶装置500-22と登録用比較回路500-24に対して入力として与えられる。

更に、DTM回路26-32に与えられるアドレス信号は登録用記憶装置500-22をアドレス指定するためのブロンク・アドレスとして使用され、回路DTM17-17に与えられるアドレス信

是、全量書き込み動作の場合に全量書き込み信号 500-22に導かれる信号に反応する。全量書き込み回路 500-24に与えられる同じアドレス信号は、データブロックが既にキャッシュ 500-20に存在するかどうかを判定するために使用される。

又、回路 DTM17-53に与えられるアドレス信号は、データがキャッシュ 500-20に存在する事が見出されない時これからのデータのブロックから導出された補助記憶装置 500-40に与えられる事も判るであろう。

第 11 図から、全量書き込み信号 500-22の到来がもし要求された情報が既にキャッシュ 500-20に記憶されていたかどうかを決定するため、即時開始される事が判る。この書き込み動作は、クロック・パルス 1Tと2Tの間の間隔において行われる。この事例では、プロセッサ 200により要求される情報は全くキャッシュ 500-20に存在しないものと仮定する。

第 8 図においては、ブロック 500-6の回路

信号 RDLOAD100を2進数1に強制する。

信号 RR100と HIT000はゲート 500-460を介して出力し又は未使用信号 RD/MISS000を2進数零に強制する。これは、ゲート 500-462をして補助記憶装置の指令信号 BSCMD100を2進数1に強制する。出力し指令が有効である(即ち、適正なコードおよびフォーマット)を仮定すると、信号 TCERROR000は2進数1である。従つて、補助記憶装置のタイミング信号 SLO4T/ASLO2T100の発生と同時に、ゲート 500-464は補助記憶装置の要求信号 BSREQ100を、タイミング・パルス 1Tと2T(第 11 図参照)の両時間間隔において2進数1に強制するよう作用する。これは補助記憶装置 500-40に対してメモリー・操作サイクルの開始を信号する。

このような要求に反応して、補助記憶装置 500-40は出力パルス 500-42に対する160ピコ秒のデータを送信するように作用する。このデータは、第 11 図に示す如くタイミング・パルス

信号 ZAC 信号のビット 1-4が2進数1を導出する事が判る。ビット 1-4と9が全て2進数1であるため、信号 RCL000と WR000は両方共に2進数1である。従つて、ゲート 500-61は信号 RR100を2進数1に強制して出力し、指令の存在を表示する。この信号は、ゲート 500-62と 500-460に対する入力として与えられる。

バイパス・ビット9の状態の補正を表示するゲート 500-62に与えられる NOLOAD000信号が2進数1である事が判る。信号 LNE/DE000は命令、読みメモリー・エラー又は全量書き込みがない時2進数1である。要求されている情報がキャッシュ 500-20にないものと仮定するため、信号 HIT000と HITREQ100はそれぞれ2進数1と2進数零に対応する(即ち、ビット出力なし)。補助記憶装置のタイミング信号 BST8000は、ゲート 500-68をして信号 RDLD100を2進数1に強制させるタイミング・パルス 1Tの間の、2進数零である。従つて、ゲート 500-62は

1Tの発生に先立つて回路 500-44の出力端で適正な形態で生じる。クロック回路 500-48からの補助タイミング信号 BS8T101の発生と同時に、信号 RDLOAD100はゲート 500-260をして書き込み全量信号 WRDIR000を2進数零に強制させる。これは、更に、全量クリア信号 DRCLR000が2進数1である時、使用可能全量書き込み信号 ENABDIRWR100を2進数1に強制させる。この信号は、全量書き込み信号 500-22がクリアされている時を除いて2進数1である(クリア動作に関しては米国特許 3,845,474 号参照)。

第 11 図から判るように、全量書き込みクロック信号 CLKDIR100の発生と同時に、ゲート 500-264は書き込み全量信号 WRDIR100を2進数1に強制する。

信号 WRDIR100は、全量書き込みゲート回路 500-266に基いたタイミング信号を全量書き込みレベルの補正回路に対して与えさせる。これは、全量書き込み信号 500-22の回路 DTM17-25

に与えられたアドレス信号を、回路DTM26~31を介して与えられたアドレス信号により指定される場所に書きこませる。

第11図から、同じ時間間隔において補助記憶装置500-40から送出された最初の80ビットがカッシー500-20に書き込まれる事が判るであろう。更に、カッシーの書き込み可能回路500-214は、第11図から判るように、タイミング・パルス8Tと10Tの間書き込みカッシー信号WRCACHE100により動作せられる。即ち、信号MISS100は、「ヒット」の等しい場合には2進数1である。補助記憶装置500-46からのタイミング信号BST10101はタイミング・パルス10Tの間は2進数1である。従つて、ゲート500-68は、補助記憶装置信号T8000が2進数零の時のタイミング・パルスT8、および信号LDSCND80000が2進数零の時のタイミング・パルスT10の間、信号RDLD100を2進数1に強制する。

ゲート500-62は信号RDLOAD100を2進

数により指定されるコラムに書き込まれる。この時、アドレス・ビット32は2進数零である。タイミング・パルスT10の前にアドレス・ビット32は書き込まれ、タイミング・パルスT10の前にレジスタ500-42に書き込まれる上位の80ビットはスイッチ500-8を介して与えられてカッシー500-20に書き込まれる。アドレス・ビット32の次は、データブロックに対応する全160ビットをカッシー500-20に書きこませるように、回路500-216乃至500-222により動作される。

これは、補助記憶装置の回路500-46からの下位の80ビット信号LWRB0100の書き込みにより行われる。更に、信号LWRB0100が2進数1（下位80ビットを書き込み）である時、ゲート500-218は信号RDLDIV80000を2進数1に強制する。ゲート500-222は、アドレス信号CAADDR32100をしてZACレジスタ500-120に記憶された状態アドレス信号をとらざる。即ち、アドレス・ビット32が2進

特開 昭53-84632(32)

数1に強制し、これが更にゲート500-74をして信号RDLOAD000を2進数零に強制させる。従つて、ゲート500-210は、時間間隔8Tと10Tの間書き込みカッシー信号WRCACHE100を2進数1に強制する。このように、第11図から判るように、カッシー・タイミング信号CLK141の発生と同時に、書き込みカッシー信号WRCACHE100を2進数1に強制するように作用する。これが読み出し指令であるから、信号WRLOAD000が出現できる（即ち、2進数1）事が判るであろう。

書き込み全記憶信号WRDIR100と同時に、書き込みカッシー信号WRCACHE100はカッシー書き込み可能回路500-214を動作させて、各カッシー・セクションに与えられるタイミング信号を生じる。

タイミング・パルスT8の間、信号RD00~RD71およびPDP0~P7に対応する最初の80ビットは、入力スイッチ500-8を介して与えられて回路DTM26~31に与えられるアドレス信

号1の時、信号CAADDR32100は2進数1である。然し、信号LWRB0100が2進数零（上位80ビットを書き込み）に強制される時、信号RDLDIV80000は2進数零に強制される。この時、アドレス信号CAADDR32100は2進数零に強制される。

データは出力スイッチ500-10に対して入力として与えられる。出力スイッチ500-10は、信号HITREG100とBSRD100に等価してゲート500-468により2進数1に強制される使用可能信号ENABBSDATA100により使用可能の状態にされる。更に、回路500-6は、160ビットのどのワードがプロセッサ200に対して読まされるか決定するためのスイッチ500-100に対して適切な選択信号を与える。選択信号は、ZACレジスタ500-120に記憶されるアドレス信号32と33を輸出する事により導かれる。データは、第11図に示されるようにタイミング・パルスT10の間DFM 回路に与えられる。

メモリ・モジュール500は回路RDTR



を2進数1に強制するよう作用して、2進数1に強制されたARDAにより送信されるデータ経路の確保に依りてプロセサ200がデータを受入れた時、ZAC指令により前に要求されたデータが使用可能な事をSIU100に対して伝達し、SIU100はRDAA指令を2進数1に強制する。この状態は、データが受け入れられた事およびこのデータをDFM回路から読み取れる事を要求メモリ・レジスタ500に対して伝達する。

第11図から、要求された周辺記憶装置のデータがプロセサ200に前送りされる時、要求されたデータにより読み取られるデータのブロックも又、パイパス・ビット9が2進数零にセットされた時はカッシーニ500-20に書き込まれつつある事が判るであろう。

第11図から判るように、全160ビットは、次のメモリの操作サイクルの開始に先立つてカッシーニ500-20に書き込まれる。

プロセサ200により要求される情報がカッシーニ500-20に存在する全装置に散らばる(即ちビツ

ト1の場合に、信号HT000は2進数零となるであろう事が判るであろう。この信号は、回路500-46が周辺記憶装置の要求信号BSREQ100を2進数1に切替える事を禁止するよう作用する。同時に、信号HITREQ100は、信号MISS100を2進数零に強制する2進数1である。

従つて、信号RDLOAD100は2進数零の状態を維持する。これは、パイパス・ビット8の値、全装置書き込み可能信号ENABDIRWR100およびカッシーニ書き込み信号WRCACHE100が2進数1に強制せられるようにする。3つのセンサ4出力の異なるカッシーニ1が回路500-6により検出される時、カッシーニ500-20から送出されるデータ・ワードはスイッチ500-10およびDFM回路を介してSIU100に与えられる。前述の方法により、データ・ワードはプロセサ200に前送りされる。

前述の事柄においては、読み出しメモリ指令はパイパス・ビット9を2進数零にセットさせた。ある場合には、プロセサ200は、要求する情報

をカッシーニ500-20に書き込まない事を必要とする事が判るであろう。この事柄は、データ制御ワードをアクセスするため、プロセサ200が周辺記憶装置500-40に記憶されたリストポイント・ワード(LPW)からの読み出しのためのメモリ指令を保持する場合である。

前述の事を考慮する前に最初第2図を参照された時、第2図は、パイパス・ビット9がLPWおよびDCWを含むテーブルおよびリストを示している。簡単に言えば、この情報は周辺記憶装置の実行に必要とされるものである。命令DCWを呼び出した周辺記憶装置はIDCWテーブルに記憶される。このテーブルは、要求メモリ・500における情報装置にアクセス可能なDCWのリストを保持するものフォーマット(DCW)に等しい。各IDCWは、操作タイプ、読み出し、書き込み、リンク等を指定するビットの装置コードと、装置の装置を指定するビットの装置コードを含んでゐる。各DCWは2つのワードのうちその第1は制御情報を含みその第2のものはワード・アドレス

を含む事を有する。第1図はこの2ワードのフォーマットを示している。LPWのフォーマットも第1図に示されている。

従つて、各LPWと各DCWのアドレスが、前述の如くメモリ指令の生成の間カッシーニ・ビット9の状態をセットするため、プロセサ200はマルチプレクサ500により使用できるビット(即ち、ビット9およびビット45)を含む事が判る。

例えば、プロセサ200-0は次に指定のDCWリスト内のエントリをアクセスするためのメモリ指令を実行するものとする。第6図から判るように、プロセサ200-0は最初IDCWテーブルの1つからLPWアドレスを抽出せねばならない。実行されるべきメモリ指令命令は2つの情報値を含む。最初の情報値は、指定のIDCWテーブルの書き込みアドレスを記憶する汎用レジスタを指定するよう符号化される。第2の情報値は、IDCWテーブル内の指定のLPWを有するもののエントリ番号である汎用レジスタを指定するよ

う二重化されている。

指揮線の1つはビット9を2進数1にセットさせる事が判るであろう。プロセサ200-0は、補助記憶装置500-40から取出されるLPWがカシエ500-20に書き込まれる事を欲しないため、ビット9の状態を変化させない。前述の方法により、マイクロプログラムの制御下では、プロセサ200-0は、ビット9が2進数1である判のZAC 送出しメモリー指令を生成するよう作用する。再び、ZAC指令および適切な命令情報は、それぞれデータ・ワード・レジスタ204-14と命令レジスタ204-16にロードされる。

SIU100は、ZAC指令を命令メモリー・モジュール500に転送するよう作用する。第7図および第9図においては、ZAC指令およびアドレスがZAC レジスタ500-120に記憶され、その処理される事が判る。メモリー指令が送出し命令であるため、回路DTM01乃至DTM04に与えられた信号は2進数である。従つて、信号RR100は再び2進数1に強制される。然し、

をしてカシエ書き込み信号WRCACHE100を2進数に維持させ、このためタイミング信号WRCACHE100の回路500-214に対する出力を禁止する。従つて、カシエ書き込み回路500-214は使用可能にならず、このためカシエ書き込み操作は生じない。

電源記憶装置500-26はカシエ・バイパス・ビット9が2進数1である事案にも拘わらず空転として現れる事が判るであろう。もう一つ、もし「ヒント」が検出されると、指定されたデータ・ワードはカシエ500-20から取出されてプロセサ200に転送される。

「失物(miss)」の場合には、第8図から判るように、ゲート500-464が補助記憶装置の要求信号BSREQ100を2進数1に強制するよう作用する。その後、前述の方法により、補助記憶装置500-40から取出された要求されたデータ・ワードがプロセサ200に転送される。然し、信号WRDIR100およびWRCACHE100は生成されないため、第11図に示されるように、

時間53-8463234)

回路DTM09に与えられたカシエ・バイパス・ビットが2進数1であるため、信号NOLOAD00は2進数零に強制される。

第8図から、信号NOLOAD00の2進数零の状態はゲート500-62が信号RDLOAD100を2進数1に強制する事を禁止する事が判る。従つて、タイミング・パルスT5の発生の際、書き込み信号WRDIR000は2進数1の状態に維持される。これは、ゲート500-262をして書き込み可能信号ENABDIRHW100を2進数零の状態に維持させる。従つて、タイミング信号WRDIR100は回路500-262に与えられない。従つて、書き込み可能回路500-266は使用可能にならず、このため書き込み操作が生じないようにさせる。

同様に、カシエ書き込み可能回路500-214は、2進数零にセットされる信号RDLOAD100により禁止される。即ち、信号RDLOAD000は、信号RDLOAD100が2進数零である時2進数1である。この状態は、更に、ゲート500-210

情報は一切カシエ500-20に取込まれない。

プロセサ200がSIU100からLPWアドレス情報を得る時、ビット9は通常2進数1にセットされる。プロセサ200はDCWがカシエ500-20にロードされる事を欲しないため、ビット9は変更されずに現れる。このように、次の命令の執行中、プロセサ200は、LPWをきみかつ再びバイパスされたビット9を2進数1にセットさせるZACメモリー指令を生じよう作用する。前述の方法により、命令メモリー・モジュール500は補助記憶装置500-40から取出される情報をカシエ500-20に書き込まれないようにされる。プロセサ200が要求されているデータ・ワードと同じブロックに与えられる別のデータ・ワードへのアクセスを要求するような場合には、このプロセサは生成する各ZACメモリー指令内のカシエ・バイパス・ビットを2進数零にセットさせるよう作用する。

前述の事から、本説明の構成は、補助記憶装置500-40から取出されるどの情報がカシエ

500-70に送達されるべきかという指令事項に基いてプロセッサ200-0を制御させる事が出来る。更に、上述の通り、どの情報がチャンネル500-70に送達されるべきかという指令事項に基いてマルチプレクサ300を制御させる。即ち、データ伝送通入操作の履行中、マルチプレクサ300は前述の如くSICU00に対して与えるZAC指令を生成する事を要求される。

亦即ち、オペレーティング・システムがマルチプレクサ300のチャンネルの1つ(例、CA0)を任意の順序に操作を要する事を要求し、その要求に情報に付いてある操作を行うものと仮定しよう。

チャンネル操作を開始するため、プロセッサ200はチャンネル(即ち、CA0)のLPWレジスタのローディングを要するPI指令を主たる命令を実行する。第4図に於いては、指令ワードはPCレジスタ301-2にロードされ、PDレジスタ301-5のデータ・ワード内容をスイッチ301-6と301-42のPD位置およびCWスイッ

チ301-44のHSN 7番を介して、PCレジスタ301-2に於いて記憶された情報に基いて選択されるチャンネルのLPWレジスタに配送する情報を生成するようブロック301-4の諸回路を条件付ける。

この時LPWレジスタはDCWのリストを指示するアドレスを含んでいる。このチャンネルのLPWレジスタのローディングに於いて、プロセッサ200は別の命令を実行し、この命令はPDレジスタ301-5に記憶されたデータ・ワードが記憶されている事を表示するロード型操作を要するPI指令を生成する。

PCレジスタ301-2に記憶された指令ワードはブロック301-4の諸回路を条件付けて、PCレジスタ301-2からスイッチ301-6のPDスイッチのPC位置およびWDスイッチ301-2-4のDTA位置を介して1グループのチャンネル制御フリップフロップ(図示せず)に情報を配送する情報を生成する。これ等のフリップフロップ(AUTOフリップフロップ)の1つは、セ

ットされるとチャンネルに対してデータの配送開始を信号する。

このAUTOフリップフロップは、このチャンネルの2本の要求通線の双方に対するサービス要求信号と共に、優先順位選択規則図表301-48に対する4つの入力の一つとして第1のリスト信号を与える。図表301-48は、このチャンネルに対する4つの入力をしてどのレジスタが選択されるべきかを決定させる。この要求サービスの優先順位を有するチャンネルを選択する。この優先順位図表301-48は、図表301-4に与えられる2ビットのコード(CA0=00)に基いてサービス要求を符号化する。要求の順序を記述するプロセスにはこの一切の操作がない(即ち、データはメモリー・システム500から配送されない)ものとすれば、図表301-4は図表301-48に可変信号を与える。図表301-48は2通りの信号をチャンネルCA0のサービスANS信号に与えるよう作用する。この信号は、データ配送のためのチャンネル

CA0を記憶させる。

図表301-48を介してチャンネルCA0から配送されるリスト信号は、図表301-4を介してCスイッチ301-50のLPW位置を選択させる。2ビットのチャンネル・コードに配送する信号とリスト信号は、レジスタ301-65の最初の3つのビット位置にロードされる。レジスタ301-65の2つの上位ビット位置はデータを要求するチャンネルを識別する。第4図から明らかなように、レジスタ301-65の内容はMITS図表に与えられる。301-48からのチャンネル選択規則からの信号は、チャンネルCA0に配するLPWレジスタの選択を要する。

LPWレジスタに於けるアドレスは、図表301-48により与えられる信号に基いて選択されたDTスイッチ301-70のCSW スイッチを介して図表301-4からの信号に基いて選択されたバンク301-64のZACレジスタにロードされる。更に、図表301-48は、ZACレジスタの最初のバイト位置にロードされるZACスイ

スイッチ301-61のノーン/指令スイッチを介して信号を受ける。この場合、図9図に示すようなZAC 指令ワードの形式化が与えられる。4つのチャンネル入力のあるもの（例えば、音源又は制御コード、発生又は書込み指令、制御又は2倍増音およびリスト）から与えられた信号は、ZAC 指令ワードの指令成分の代表を規定する。マルチプレクサ300はZAC指令のみを生じるため、ZACレジスタのビットは言うに及ばない。又、これはリスト・モードであるため、指令成分の各ビットは発生し2倍増指令を規定するよう符号化される。カウンス500-20に記憶されるLPWアドレスを用いて読取メモリー・レジスタ500からDCW 情報を取出させる事は必要でないため、LPWアドレスのビット9は通常2進数1にセットされる。このように、ZACレジスタに記憶されるZAC指令のカウンス・バイパス・ビット9は2進数1にセットされる。

ZACレジスタのロードインジケータ、LPWアドレスは、2だけ（2ワード即ち8バイト）増分され、

若してそれぞれインターフェース603のPITM回路と、DTM回路と、SLTM回路に与えられる。

読取メモリー・レジスタ500は、データ取出しと共に時間情報としてSIU100に與えリクエスト識別信号を発生する。読取メモリー・レジスタ500は、ZIR回路を2進数2に切換える事により定着する。この状態は、SIU100をしてリクエスト回路を停止させる。読取メモリー・レジスタ500は、インターフェース603のそれぞれRIFM回路およびDPFM回路上にマルチプレクサ300から生じるリクエスト識別および2倍増信号をおく事によって、RDTR回路を2進数1に強制する事によりSIU100に対するデータの伝送を開始する。

SIU100は、図11図に示すように、RDAA回路を2進数1に強制する事によりRDTR回路の故障に反応する。これは、読取メモリー・レジスタ500に対して、リクエスト・レジスタ500に対する故障が検知しかつデータ伝送と共に実行する事を指示する。RDAA回路に対する信

神岡 53-84632(36)

新らしいパリティが生じられ、かつその結果がCW スイッチ301-44の更新回路を介してチャンネルLPWレジスタに與えられる。図10図 301-52と301-54の両方に与えられる。更に、LPWレジスタ4に与えられる時間情報は、時間スイッチ301-59のCSW 位置を介して検出レジスタ301-60にロードされる。ZACレジスタのロードインジケータAOPRフリップフロップ301-69を2進数1に切換えさせる。

マルチプレクサ300は、図10図のSIU回路 102-27が2進数1に強制される点検ARAによりAOPR回路によって信号された要求を受入れる迄待機する。SIU100 はマルチプレクサ300からの要求を受入れた時、AZC回路を2進数1に強制して、これがレジスタ500をデータ取出し/書込み動作サイクルを開始するように指示する。図11に図に示したように、AZC回路のセクタイニングと同様に、リクエスト識別信号と、ZAC 指令信号とマルチプレクサ300から生じる2倍増信号は、図10図 102-27からの信号に反

若し又、RDAA回路上の信号の受取りに就いてクロック・パルスの後端部に於けるインターフェース603上に第2のデータ・ワードを記憶レジスタ500にかかせる。動作完了の時点でこのレジスタ500は別の指令を索取する準備ができる。直ちに、ZIR回路を2進数1に切換える。

RDAA回路の強制の時点で、SIU100 は、要求されたマルチプレクサ・レジスタ500に対して、データ・ワードがARDA回路を2進数1に強制する事によりそのDFS 回路に与えられている事を通知する。SIU100は又MIFS に対してリクエスト識別信号を與えて、その時間レジスタ301-68に於ける信号の対準を生じる。図10図 301-48に与えられたレジスタ301-68の強制内容は与えられ、CA0 選択回路を介してチャンネルCA0 を使用可能とするのに加えて、通常のチャンネル・レジスタの選択を要する。最初のデータ・ワードは、ドライバ回路301-5を介してHレジスタ301-60にロードされる。その内容はこれからスイッチ301-42の

Hレジスタ位置およびCWスイッチ301-44のHレジスタ位置を介してチャネルCA0のDTレジスタにロードされる。最初のワードに就いてクロック・パルスに与えられる第2のデータ・ワードはレジスタ301-42にロードされ、その後チャネルCA0のDAレジスタ301-40に転送される。

前述の如く、回路301-48からの信号は、選択されるチャネル・レジスタ(即ち、CA0)の列を選択する。又、マルチプレクサ300がチャネルCA0のリスト・アドレスに相当する時、回路301-48は、リスト・フリップフロップ(図示せず)を2進数2にCA0チャネルの回路をリセットさせる信号を生成する。同時に、回路301-47は、更に別の明確フリップフロップと与えられるアサリシヤチャネル「使用」フリップフロップを2進数1の状態で強制する。これは、更に、コントローラ・アダプタ303のCA1のチャネル使用回線に2進数1の信号を与え、このアダプタに対しこのチャネルが転送のための

の準備ができている事を指示する。

前述の如く、DTおよびDAレジスタにロードされるDCWの7つのデータ・ワードのフォーマットは第1,2図に示される如くである。プロセッサ200はマルチプレクサ300の転送に就いてマルチプレクサにより要求されるデータのアクセスを要求するため、オペレーティング・システムはDCWのDAワードのビット45を2進数2にセットさせるよう作用する。この状態で、マルチプレクサ300にカッソエのバイパス・ビット9を2進数2にセットさせるZACメモリー・指令を生成させる。

この操作中、回路301-4は、パン7301-64のZACレジスタおよび同期レジスタ301-60の最後の3位置をロードするための信号ソースとして、Cスイッチ301-50のDA位置を選択させる。従つて、ZACレジスタのビット位置9は2進数2にセットされる。このローディング作用は、ZACスイッチ301-61と、DTスイッチ301-20と同期スイッチ301-59の

ゾーン/指令スイッチ位置を介して進行する。又、レジスタ301-65の最初の2つのビット位置はリクエストとしてチャネルCA0を選択する事でロードされる。

この時、AOPR回線は2進数1に強制される。更に同期回路において、チャネル選択に就く第2のクロック・パルスの間、アドレス(DA)は加重回路301-52により2だけ増分されて、CWスイッチ301-44の更新位置を介してDAレジスタに與えられる。次に、Cスイッチ301-50のDTレジスタ位置が選択され、データ・メモリー内容は2だけ増分される加重回路301-52に与えられ、スイッチ301-44を介してDTレジスタに與えられる。

前述の場合に類似する信号・ソースが、第7図のフォーマットを有するZAC指令(即ち、AOPR回線はZACレジスタがロードされる時2進数1に強制される)のSIC100による転送のための準備される。

ZAC指令に相当する局用メモリー・モジュール

500は、補助記憶装置500-40から要求されるデータ・ワードを取出すと同時に、情報ブロックを前述の方法によりカッソエ500-20に記憶するように作用する。このため、情報はプロセッサ200に就いて容易に使用可能となる。

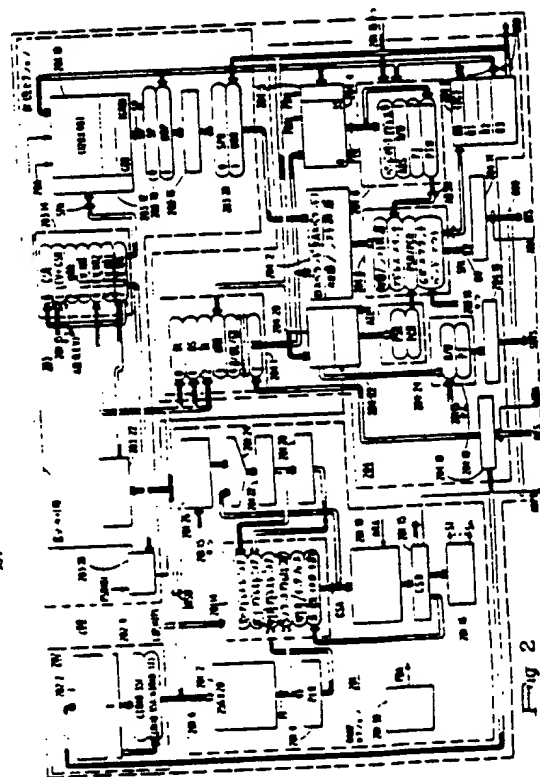
前述の事から、いかにして異なる指令・モジュールが補助記憶装置500-40から取出されるかの情報がこれに関連して迅速なアクセスを可能にするためのカッソエ500-20にロードされるべきかに関する指令・モジュールに就いて制御が可能となるかが判る。各指令にその状態がカッソエ500-20がロードされるかどうかを決定する制御の単位のビットを与える事により、指令の履歴およびこのようなビットの変更を含む他の操作の實行を容易にする。

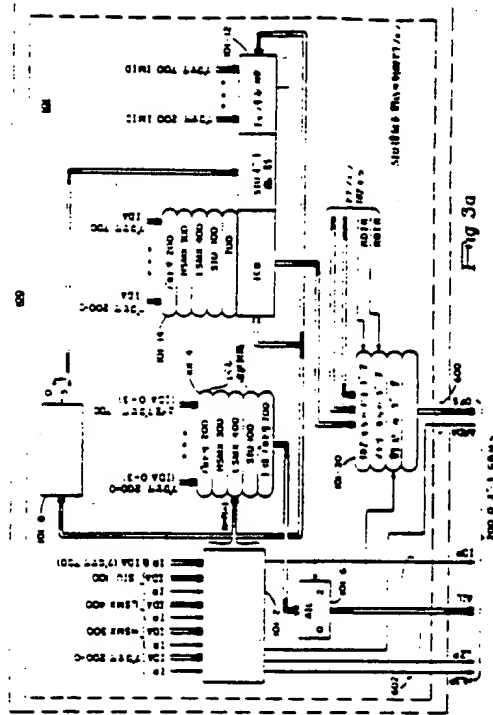
二種類の望ましい事項については多くの変更が可能であり、例えば、指令が書式化され昇格化される方式、およびある制御およびタイミング信号が生成される方式についての多くの変更が可能である事は明らかであろう。単純化するため、多

三つの示す点に定つて五穀類の最も受けた影響  
について五文に明示し記述したが、五文の強者に  
比較する基準請求の意図に示す如く五穀類の三割  
から起算する事なく五文に記述したシステムによつ  
てのことで更に誤謬があり、ある場合には五穀類の  
ある強者のみが他の強者に比べて非常に優位に示す  
事もある筈である。

第1図は本発明の原理を説明した入カシステムブロック図、第2図は第1図の入出力処理動作を更に詳細に示す図、第3および第4図は第1図のシステム・インターフェース信号を更に示す図、第5および第6図は第1図のマルチプロセッサ信号を更に示す図、第7および第8図は第1図の各インターフェースを示す図、第9図は第1図の周知メモリー・レジスタ

100…システム・インターフェース部(SIU),  
102…データ転送セクション, 200…入出力  
プロセッサ, 201…制御セクション, 202…  
命令バッファ・セクション, 203…記憶セク  
ション, 204…処理セクション, 300…高速マ  
ルチプレクサ(HSMX), 400…低速マルチプレ  
クサ(LSMX), 600~603…インターフェ  
ース, 700…上位プロセッサ, 800…主メモリ  
・モジュール。





— 30 —

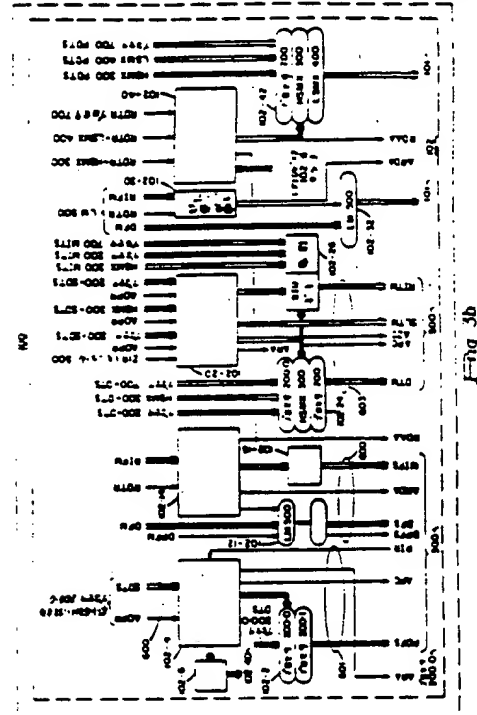


Fig. 3b

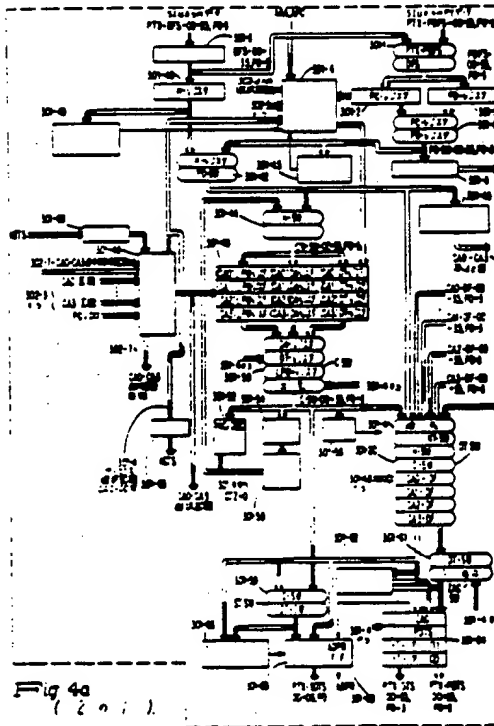


Fig 4a  
( 2 0 1 ).

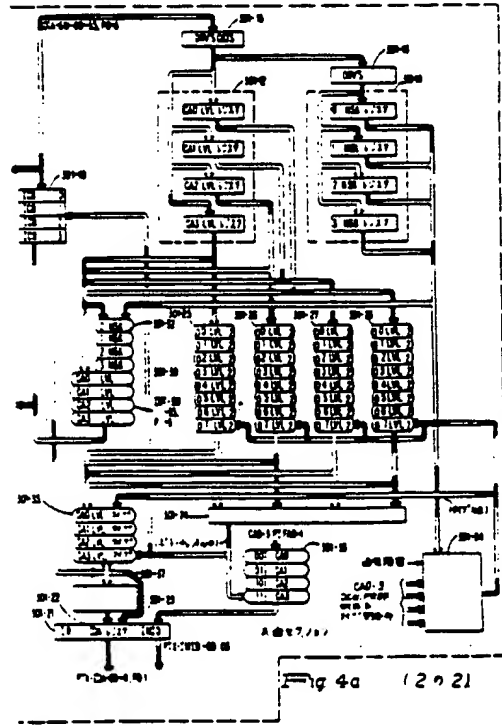
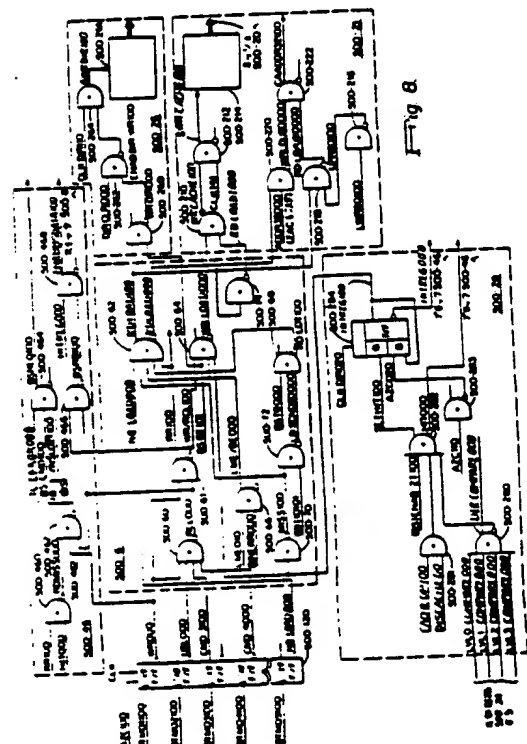
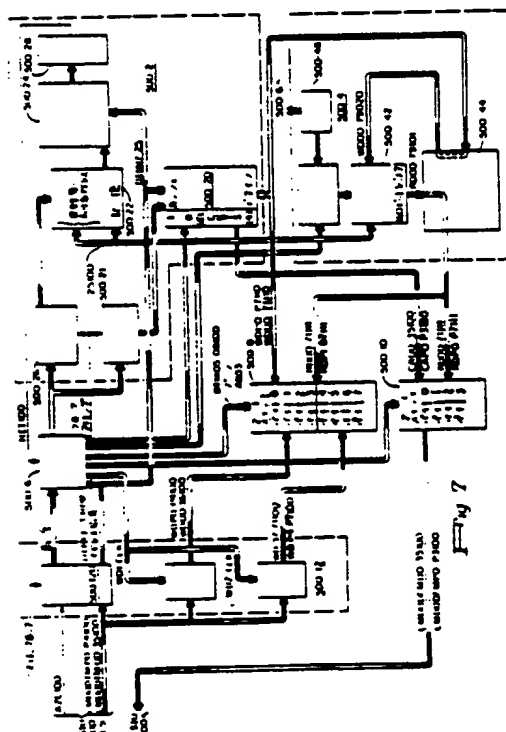
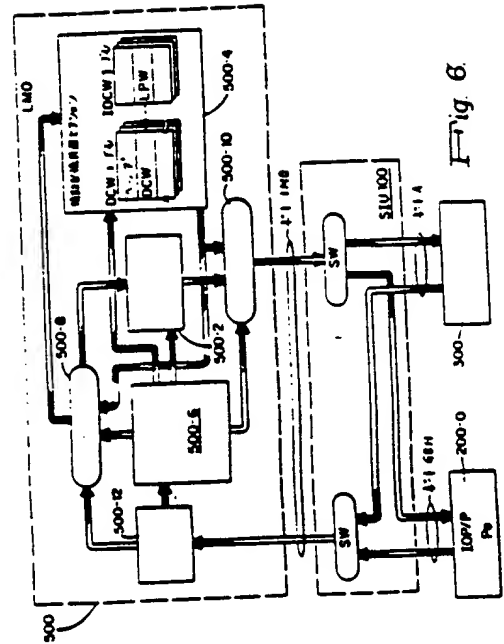
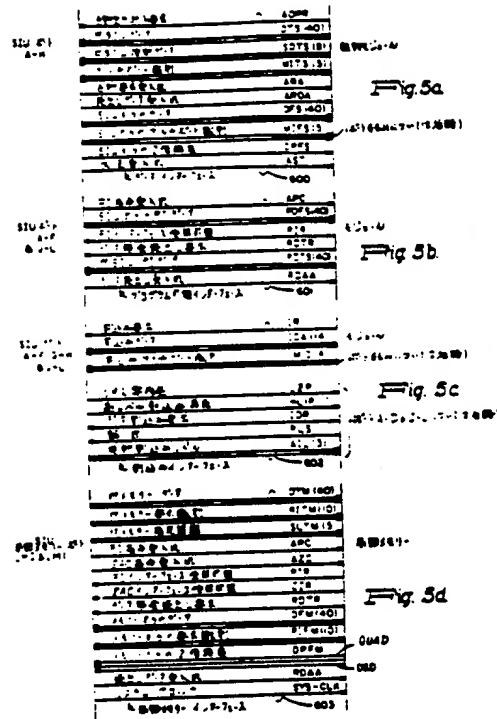
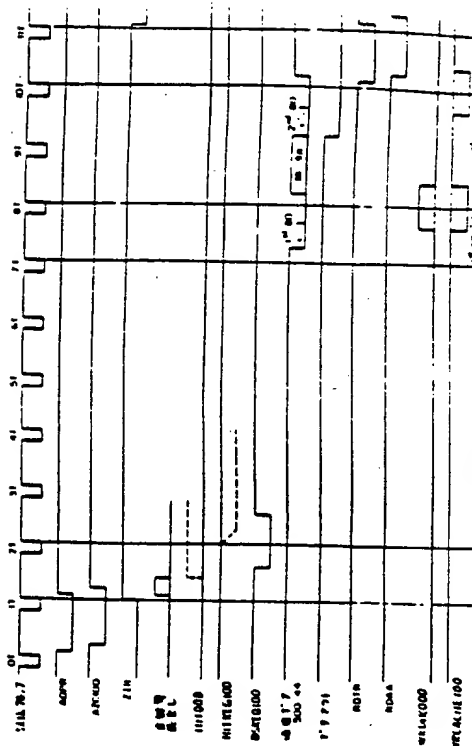
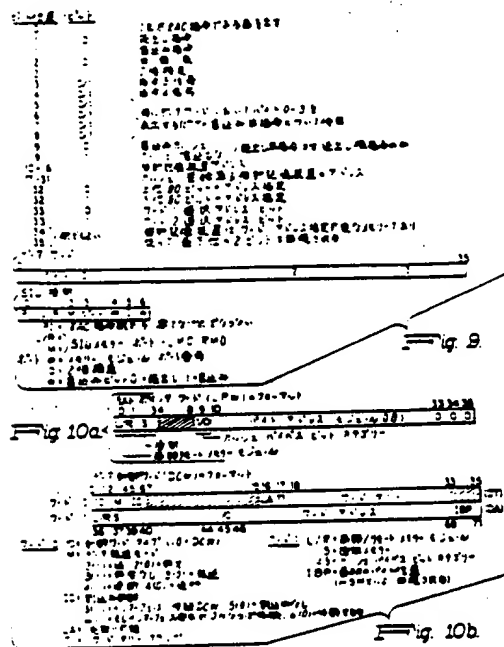


Fig 4a (2021)







Cited Reference (2) Japanese Patent Public Disclosure  
No. 106641/1977

③日本国特許庁

④特許出願公開

公開特許公報

昭52-106641

①Int. Cl.  
G 11 B 5 09

識別記号

②日本分類  
97(7) C 2  
102 E 33

庁内整理番号  
7056-56  
7345-55

④公開 昭和52年(1977)9月7日

発明の数 1  
審査請求 未請求

(全 7 頁)

③高速順次アクセス用データ・レコード格納方  
法

②発明者 高井兵庫

日立市大みか町5丁目2番1号  
株式会社日立製作所大みか工場  
内

①特 願 昭51-23207

②出 願 昭51(1976)3月5日

③発明者 加藤勝康

日立市大みか町5丁目2番1号  
株式会社日立製作所大みか工場  
内

①出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5  
番1号

③代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 高速順次アクセス用データ・レ  
コード格納方法

特許請求の範囲

1. ランダム・アクセス可能な記録ブロックを有する記録媒体に順序関係のあるデータ・レコードを格納する方法において、各ブロックを複数の区画に分割し各ブロック内に所定数の空き区画を設けようとして各区画毎に1つのデータ・レコードを格納し、格納されたデータ・レコードをそれ自身の内部に設けられた連絡子により順序関係に従って連絡し該連絡の先頭レコード位置及び末尾レコード位置を夫々記憶手段に保持し、前記記憶媒体中の未使用領域の空き位置を記憶手段に保持し、空白領域中の空き区画をデータ・レコード内部に設けられた連絡子により連絡し該連絡の先頭位置を記憶手段に保持し、前記記憶媒体中に新規に加えられるべきデータ・レコードを格納すべき空き区画を前記未使用領域先頭位置、順序関係で直前のデータ・レコード

と同一ブロック内の空き区画、又は前記空き区画連絡先頭位置から選択することを特徴とする高速順次アクセス用データ・レコード格納方法。

2. 最初のデータ・レコードと後に格納されているデータ・レコードの中で順序関係に関して末尾のレコードの後に追加されるべきデータ・レコードに対しては、前記未使用領域先頭位置の空き区画を選択することを特徴とする特許請求の範囲第1項記載のデータ・レコード格納方法。

3. 既に格納されている第1データ・レコードとそれに接続する第2データ・レコードの間に新規に挿入されるべきデータ・レコードに対しては、前記第1データ・レコードと同じブロック内に空き区画があれば該空き区画を選択しなければ前記空き区画連絡先頭位置の空き区画を選択することを特徴とする特許請求の範囲第1項又は第2項記載のデータ・レコード格納方法。

4. 位置のブロック内のデータ・レコード格納法が予じの決められた順序で前記特許請求の範囲第1項

の残りの区画に空き区画を作成することを特徴とする特許請求の範囲第1項、第2項又は第3項記載のデータ・レコード格納方法。

発明の詳細な説明

本発明は、コンピュータによるデータ処理技術に係り、比較的低速であり、ランダム・アクセスが可能な記憶媒体上に、順序関係のあるデータ・レコードを効果よく格納するデータ・レコード格納方法に関する。

従来、順序関係のあるデータを格納する方法として、最もよく知られたものは、順序関係に従って、記憶媒体上に配置するものであり、ランダム・アクセス可能な記憶媒体だけでなく、シリアル・アクセスのみ可能な記憶媒体においても実現することができる。この方式によれば、格納されたデータ・レコードを逐次高速に順次アクセスすることが可能であるが、一旦格納されたデータ・レコードの間に、新たにデータ・レコードを挿入したい場合、これに、予め用意された別の領域へ格納され、連鎖子によって連鎖されるため、挿入、

削除がひんぱんにくり返されると、逐次アクセスの性能が極めて劣化することが知られている。

また、ランダム・アクセスが不可能な記憶媒体においては、データ・レコードの挿入、削除、変更は不可能である。

従つて、この方式に一旦、データ・レコードを格納した後にデータ・レコードの挿入が全くないか、あるいは極めて少ない場合にのみ適用しているといえる。一方、順序関係があるばかりでなく、挿入、削除がしばしば発生する場合には、有効な格納方法としては、データ・レコードをランダムに選ばれた任意の空きレコードへ格納し、データ・レコード自身の中に作成された連鎖子により、データ・レコード間の順序関係を保持す。いわゆるリスト方式がある。この場合、連鎖子に、一般に当該レコードの直前、直後のレコードの位置を記憶している。

この方式によれば、挿入されるデータ・レコードも、特別な手続きによらずに格納することができるが、後述するように、挿入、削除がくり返さ

れるに従い、順序関係において適合するレコードが記憶媒体の領域上では、減縮しあわなくなるため、逐次アクセスに関して、必要以上に入出力回数（ドラム・ディスク等の）回転待ち時間、ヘッドの移動待ち時間が発生することになる。

また、データ・レコードを格納する空きレコードの位置を容易に検索するために、領域内の空きレコードも、データ・レコードと同じように連鎖子によりリスト化しておくことが適宜行なわれるが、この方式では、データ・レコードの格納に先立ち、すべての空きレコードをリスト化するという無駄な作業が発生する。

本発明の目的は、かかる従来の欠点を排除し、順序関係があり、かつ挿入、削除等の多いデータ・レコードを格納するための改良された方法を提供することである。

本発明は、以下のような記憶媒体の物理的特性を利用した、データ・レコード格納方法により、高速な逐次アクセスを可能にしようとするものである。

まず第1に、第1図に示されるように、ここで想定している比較的低速な記憶媒体1においては、その領域は、複数のブロック2よりなり、転送はブロック単位に入出力緩衝域4を経由して行なわれる。前記ブロック2はさらに、複数の区画3に分割され、各区画3に1つのレコードが対応づけられる。各区画3は進方向連鎖子5、逆方向連鎖子6、及びデータ部7を有する。また、あるブロック2がバッファ上に読み出されている時は、入出力を待たずに、直前バッファ上のデータを参照することができる。

従つて、順序関係において適り合うレコードが同一ブロックにある確率が高ければ、逐次アクセスの時の入出力回数は削減されることになる。

次に、第2図に示されるように、磁気ディスクのような、複数のシリンダ32及びトラック33からなり各トラックには複数のレコード35を夫々有する複数のブロック34が設けられている記憶媒体31においては、ヘッドを特定のシリンダに位置づけるための、ヘッドの移動待ち時間（シ

ーク時間)と、ヘッドを特定のトラックへ位置づけるための回転待ち時間を重視する必要がある。

そこで、これらの物理的苛性にかんがみ、本発明においては、

- (1) その、領域内に、適当な空きレコードを分散させて確保しておくことにより、挿入レコードを、できるだけ前後のレコードの近くに配置させ、またアクセスの時の入出力回数及びシーク時間を減少させること。
- (2) 挿入レコードをその前又は後のレコードと同じブロックに格納できない場合は、記憶媒体の回転角度を考慮した位置へ格納することにより、回転待ち時間を減少させることを考慮した。

以下第3～第8図により実施例にそつて本発明の原理を説明する。

第3図は、初期に各データ・レコード41を順次よく格納した状態であり、各データ・レコード41は、データ・レコード連鎖子43により結合されており、かつ、その先頭位置(FRP)及び末尾位置(LRP)は、任意の記憶手段により保

レコードFAPへ格納すればよい。第6図はこのような最適化を行なった場合のデータ・レコードの格納状況の他の例を示す。データ・レコードの追加、挿入、削除におけるFAP、FUP、FRP、LRP、レコード連鎖子の変更方法は、第7図により明らかであろう。第7図では、其中の段に示す格納状態より出発して、上段の例の如くデータ・レコードpとqの間にデータ・レコードrを挿入すると共にデータ・レコードjを削除する場合、並びに下段の例のようにデータ・レコードgとjの間にhを挿入し且つgの後へiを追加する場合を示している。

次に磁気ディスク、磁気ドラムの如き、回転型記憶媒体においては、第8図に示したように、前記の各ブロック42内の空き区画47の他に、指定された区画 $m=n$ により、 $m$ ブロック毎に全部空き区画47よりなるブロック48を $n$ 個確保することが効果的である。この場合、レコードの挿入に際しては、挿入前後のレコードと同じブロック内の空き区画47をまづ探し、これが得られな

ければ、次に未使用領域46の先頭位置FUPも任意の記憶手段により保持される。第4図は、データ・レコードの挿入、削除がくり返されるための状態であり、途中にできた空き区画47は、互いに、空き区画連鎖子45により結合され、さらにその先頭位置(FAP)は、任意の記憶手段により保持される。

第4図は、最適化を行なわなかつた場合のことであり、連鎖子ブロック42間に多量の空き区画がため、全レコードをアクセスするためには7回のブロック入力が必要となる。

そこで本発明に従い、第5図のごとく、その、一定比率で各ブロック42毎に空きレコード47を確保しておき、追加レコードは、未使用領域46の先頭位置FUPへ、挿入レコードは前レコードと同一ブロックへできるだけ入るようにすることにより、挿入、追加、削除がくりかえされても、前後のレコード41が同一ブロック42にある確率を高くすることができる。この場合、同一ブロック内に空き区画47があれば、先頭空き

い場合、当該ブロック42をアクセスしてから、次に別のブロック42をアクセスするまでに必要な復原時間に記憶媒体が回転する角度に対応するブロック数以上はなれた空き区画ブロック48から、空き区画47を選択することにより、挿入レコードが前後のレコードと同じシリンダーに格納される確率が高くなるだけでなく、回転待ち時間が一回転時間だけ短縮できる。

次に第9図により、本発明の一実施例における構成について説明する。

先づデータ・レコード格納ステップ12は記憶媒体10の各ブロック内の各区画毎に1つのデータ・レコードを所定の空き区画を挟んだ状態で、パソファ11を介して格納する。データ・レコード連続格納ステップ16は格納されたデータ・レコードをそれ自身の内部に設けられた連鎖子により順序関係に従つて連鎖し、該連鎖の先頭レコード位置、(FRP)及び末尾レコード位置(LRP)を夫々記憶手段18、19に保持する。未使用領域先頭位置維持ステップ17は記憶媒体

10 中の未使用領域の先端位置 (FUP) を記憶手段 21 に保持する。又、空き区画連絡処理ステップ 15 は使用領域中の空き区画をデータ・レコード内部に設けられた連絡子により連絡し該連絡の先端位置 (FAP) を記憶手段 20 に保持する。空き区画選択ステップ 13 は、記憶媒体 10 中に新規に追加されるデータ・レコードを格納すべき空き区画を選択する。即ち最初のデータ・レコードと次に格納されているデータ・レコードの中で最手前迄に達して末尾のレコードの直へ追加されるべきデータ・レコードに対しては、記憶手段 21 に保持されている FUP 位置にある空き区画を選択し、一方、次に格納されているデータ・レコードとそれと連続するデータ・レコードとの間に挿入されるべきデータ・レコードに対しては、データ・レコードと同じブロック内の空き区画を選択し、もし該ブロック内に空き区画がない場合には FAP 位置の空き区画を選択する。又、空き区画作成ステップ 14 は任意ブロック内のデータ・レコード格納位置が記憶手段 22 に保持されて

いる予定の決められた値を越えた時、当該ブロックの残りの区画に空き区画を作成する。そして記憶手段 23 に保持されている予定の決められた値に達した空き区画よりなるブロックを一定数のブロックおきに確保する処理を行なう。

次に第 10 図のフロー図を参照してデータ・レコード追加の場合の処理の流れを説明する。

先づ 101 でレコード追加が未使用領域先端位置 (FUP) より大きいか否かが判断され、FUP の方が小さければ、103 で FUP 位置へレコードが追加される。そして 105 でロード・アクタに達したことが判断されると 107 でブロック内の残りのレコードを空き区画先端位置 (FAP) からの連絡に入れ、109 で FUP を次ブロック先端レコードへ移動し、119 で追加レコードをレコード連絡につなぎ 121 でデータ・レコード末尾位置 (LNP) を変更する。又 105 でロード・アクタに達しない場合、111 で FUP に 1 を加え 119 で進む。一方 101 で FUP の方が小さくなければ、113 で空き区画

先端位置 (FAP) の連絡があるか否かを判断し、あれば 115 で FAP 位置へレコードを追加し、117 で FAP を更新した上で 119 へ進む。113 で FAP 連絡がなければオーバーフローとして処理する。

次にデータ・レコード挿入の場合の処理のフローを第 11 図を参照して説明する。先づ 201 で直前のレコードのブロックに空き区画があるか否かを判断し、あれば 203 でその空き区画へレコードを挿入し、205 でレコード連絡を変更し、207 で空き区画連絡子を変更する。201 で直前のレコードのブロックに空き区画がない場合は、209 で FAP の連絡があるか否かを判断し、あれば 211 で FAP 位置へレコードを挿入し、213 でレコード連絡を変更し、215 で FAP を変更する。又 209 で FAP 連絡がない場合に更に 217 でレコード追加が FUP より小さくいか否かを判断し、小さくなければ、219 で FUP 位置へレコードを挿入し、221 でレコード連絡を変更し、223 で FUP を変更する。

217 で FUP の方が小さければオーバーフローとして処理する。

#### 図面の簡単な説明

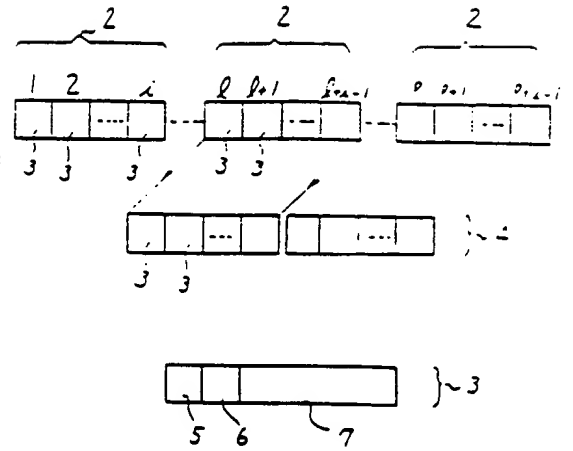
第 1 図は、記憶媒体の記憶構造を示す図、第 2 図は、シリンダ・トラック形式の記憶媒体の記憶構造を示す図、第 3 図、第 4 図は、空きブロックの確保、空き区画選択に関し、最適化を行なわなかった場合のデータ・レコード格納状況を示す図、第 5 図、第 6 図は、本発明に従い最適化を行なった場合のデータ・レコード格納状況を示す図、第 7 図は、データ・レコードの追加、挿入、削除に伴なり、格納状況の変化を示す図、第 8 図は、空き区画ブロックの確保方法を示す図、第 9 図は、本発明の実施例における構成を示すブロック図、第 10 図は、データ・レコード追加の際の処理の流れを示すフロー図、第 11 図は、データ・レコード挿入の際の処理の流れを示すフロー図である。

#### 符号の説明

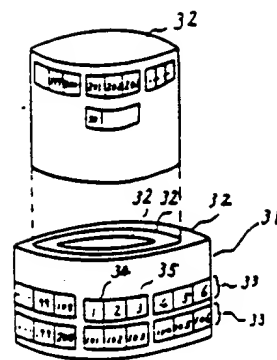
- 10 記憶媒体
- 11 バックアップ

- 1 2 データ・レコード格納ステップ  
 1 3 空き区画選択ステップ  
 1 4 空き区画作成ステップ  
 1 5 空き区画連結維持ステップ  
 1 6 データ・レコード連結維持ステップ  
 1 7 未使用領域先頭位置維持ステップ

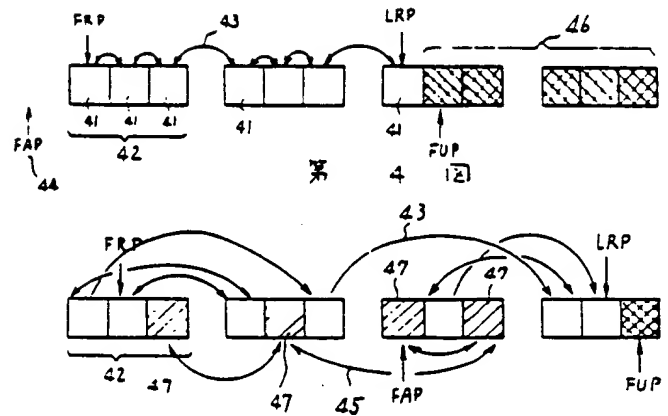
代理人 弁理士 高橋明夫



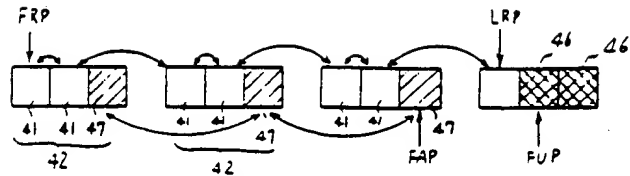
第 2 図



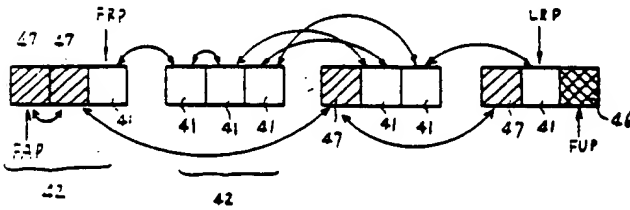
第 3 図



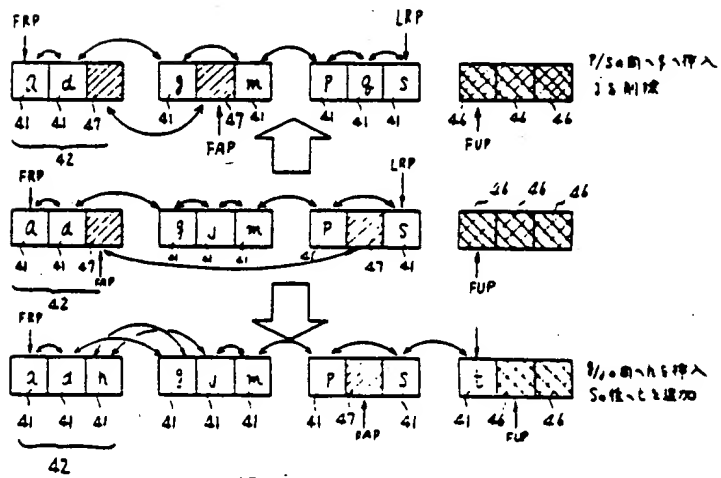
第 5 図



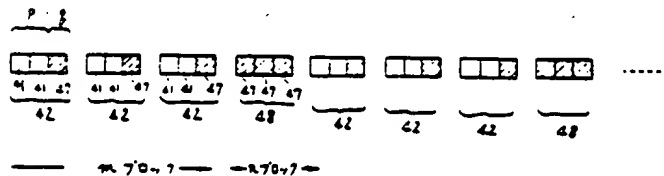
第 6 図



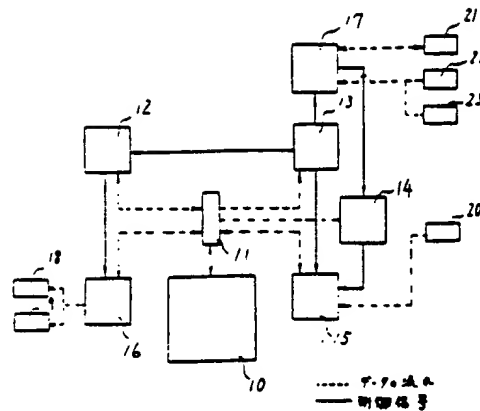
第 7 図



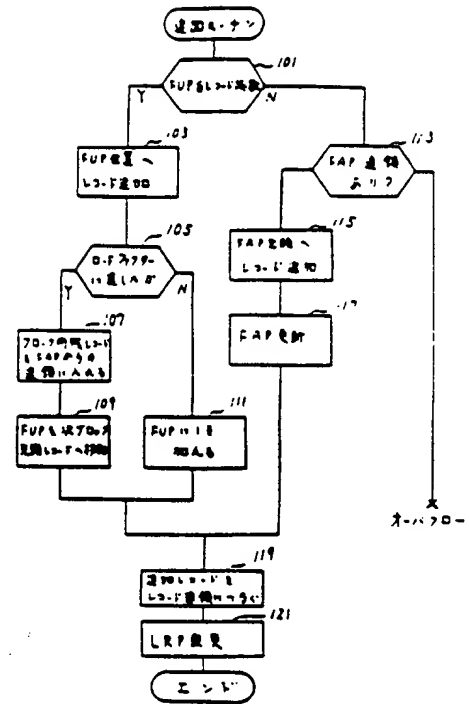
第 8 図



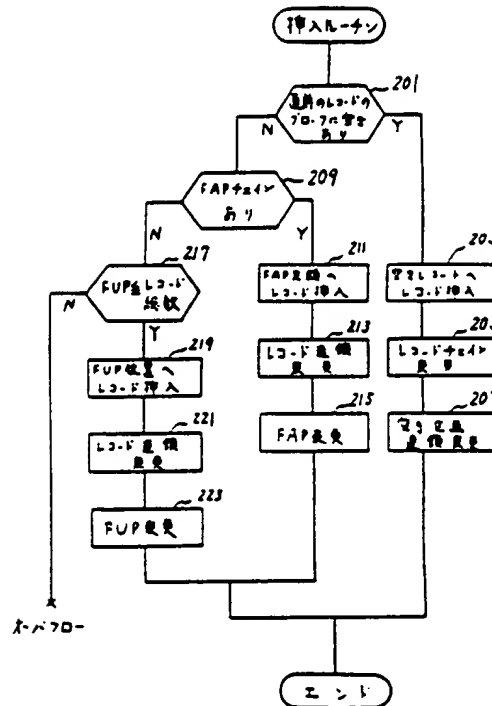
第 9 図



第 10 図



第 11 図





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**